

博士論文

メモリの高機能化に関する研究

金沢大学自然科学研究科

氏名：堂阪勝己

提出年月：平成27年1月

目次

第 1 章 序論	1
1.1 DRAM の大容量高速化の歴史と混載メモリの発展	1
1.2 本研究の目的	3
1.3 本論文の内容と構成	3
参考文献	7
第 2 章 DRAM と SRAM のワンチップ化による高性能化の研究	11
2.1 序	11
2.2 キャッシュ DRAM の構成	11
2.2.1 アレイアーキテクチャ	12
2.2.2 データ転送バッファ DTB	13
2.2.3 ファストコピーバック FCB 方式	14
2.3 テストデバイス	16
2.3.1 SRAM アレイ	17
2.3.2 マッピングの自由度向上	17
2.3.3 試作結果	18
2.4 システム性能	19
2.5 結言	20
参考文献	22
第 3 章 キャッシュ DRAM の高機能化の研究	23
3.1 序	23
3.2 コンカレントキャッシュ DRAM	23
3.2.1 コマンド体系	24
3.2.2 データ転送バッファ DTB	25
3.3 コントローラ内蔵キャッシュ DRAM	27
3.3.1 外部インターフェース仕様	28
3.3.2 キャッシュ方式	29
3.3.3 シーケンサ	30
3.4 高速化	31
3.4.1 セルフタイムド・クロックバッファ	31
3.4.2 制御信号入力回路の高速化	33
3.4.3 アクティブプルアップ付きオープンドレイン出力回路	33
3.5 テストデバイス	34

3.6 結言	36
参考文献.....	38
第 4 章 混載 DRAM のモジュール化に関する研究	39
4.1 序.....	39
4.2 ワイドバンド混載 DRAM コアのアレイアーキテクチャ	39
4.3 オートシグナルマネージメント ASM 方式.....	41
4.3.1 等負荷配線.....	42
4.3.2 バンク独立ロウ制御信号線制御.....	43
4.3.3 ループバック型読み出し	46
4.4 セルフテスト	48
4.4.1 パターンジェネレータ	49
4.4.2 パス／ファイル判定	50
4.4.3 冗長救済判定.....	50
4.5 テストデバイス	51
4.6 結言	54
参考文献.....	56
第 5 章 混載 DRAM の高速化、低消費電力化の研究.....	57
5.1 序.....	57
5.2 超高速 DRAM コアのアレイ駆動	58
5.2.1 セルフタイミングアジャスタブル STC 方式.....	58
5.2.2 ネガティブエッジトランスミッション NET 方式	62
5.3 パワーダウンデータ保持 PDDR モード.....	63
5.4 テストデバイス	68
5.5 結言	71
参考文献.....	73
第 6 章 TCAM における低消費電力化の研究	74
6.1 序.....	74
6.2 チャージリサイクリング CAM.....	75
6.2.1 マッチ線チャージリサイクル	75
6.2.2 チェッカーボードアレイ配置	77
6.2.3 サーチ線チャージリサイクル	78
6.3 チップ設計.....	81
6.3.1 メモリセル設計	81
6.3.2 アレイアーキテクチャ.....	83

6.4 テストデバイス	85
6.5 結言.....	89
参考文献.....	91
第7章 結論	93
7.1 総括	93
7.2 今後の展望	98
謝辞	100
研究業績目録.....	101
1. 論文（査読あり）.....	101
2. 国際学会発表（査読あり）.....	105
3. 研究会、学会発表等（査読なし）.....	109

第1章 序論

1.1 DRAM の大容量高速化の歴史と混載メモリの発展

大容量の記憶素子である DRAM は所謂メインフレームの主記憶としてその発展が始まり、“3年で4倍”のペースでの大容量化がその研究開発の中心であった。図 1.1 は ISSCC (International Solid State Circuit Conference) にて発表された主な汎用 DRAM[1]~[41] をまとめたものである。横軸は発表年、左縦軸は記憶容量を、右縦軸は 1bit 当たりのチップ面積を示している。

1980 年代半ばまでは 1 システムあたり数 10 ~ 数 100 個の DRAM を搭載していたため、LSI として最も実装効率をあげることができる 1 I/O 構成の DRAM チップを複数個、並列動作させることで I/O のバンド幅を確保していた。しかし、DRAM の大容量化がシステムの要求を上回るペースで行われた結果、システムを構成する DRAM チップの数が少なくなり、LSI 単体での I/O のバンド幅の確保のため I/O の高速化も課題として重要になってきた。1990 年代初頭から PC 市場の立ち上がり等によって DRAM の応用分野が、それまでのメインフレームから、PC を含むさまざまな情報機器への展開が活発になってきた。すなわち小型機器への DRAM 応用の拡張である。一方で DRAM の大容量化はペースを落とすことなく続いたため、結果としてシステムあたりに用いられる DRAM チップの個数はメインフレーム中心のころの数 10 ~ 100 個以上から数個程度に減ってきた。このため DRAM のマルチ I/O 化が推進され 16I/O や 32I/O のデバイスが現れた。さらに CPU をはじめとす

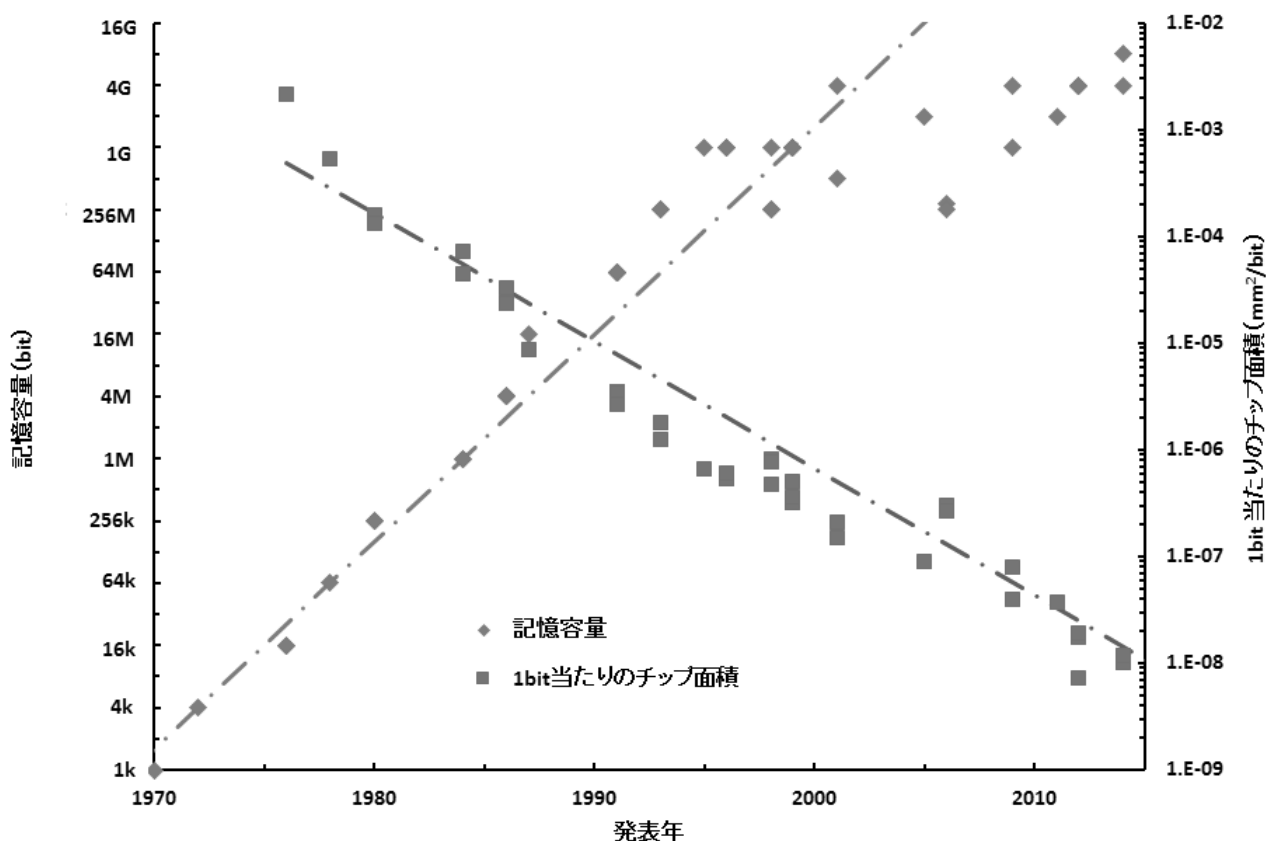


図 1.1 汎用 DRAM の大容量化の推移

るロジックデバイスはクロック周波数が飛躍的に向上を始めた。DRAMは本質的にリーク電流の抑制が重要であるのに対してロジックデバイスはスタンバイ電流をスペック内に収めることができれば、それ以上の低リーク化の要求は少なく、高駆動能力のトランジスタを採用しやすかったためである。このためロジックデバイスの要求するデータレート実現のためにシンクロナス DRAM に代表される同期型のインターフェース [42] やシリアル通信によりクロックレートを数 100MHz に上げる DRAM インターフェース [43] 等の提案が行われ、このデータレート高速化が記憶容量増大と並ぶ技術課題として開発が行われてきた。

しかし、2000 年以降は“3 年で 4 倍”のペースでの記憶容量の増大の線から外れている。一方で単位容量当たりのチップ面積はほぼ“4 年で 1/3”のペースでの小型化が継続している。このことから、技術開発の壁に突き当たって高集積化のペースが落ちたのではなく、市場での大容量化の要求が小さくなったと考えられる。この変化の理由として以下のものが挙げられる。

- 1) サーバ用途では依然として更なる大容量を必要とする分野も存在するが、それ以上にデータレートの高速化が要求されている。これに対応するためにインターフェースの高速化の研究開発が盛んに行われている。しかしインターフェースの高速化は伝送線路を含んだ系としての研究開発が必要で、プロセッサの要求する高速化に研究開発が十分に追従できておらずメモリを多数並列に並べてデータレート向上を図っているのが実態である。このためサーバ用途でさえ、1チップ当たりの記憶容量増大の要求は小さくなっている。
- 2) TSV (Through the Silicon Via) をはじめとする積層実装技術の発達により、実装技術での高密度化も実用化されてきた。
- 3) 1990 年代半ばより急速に普及した携帯電話さらにはその発展形のスマートフォンやタブレットに象徴される携帯機器分野では既に1チップで十分な記憶容量を実現できている。

このような背景の下、サーバや PC の主記憶としての DRAM の重要性は変わらないが、携帯機器に対してはロジック LSI に DRAM を搭載する混載 DRAM が有力な解となってきた。これらの機器では小型化の観点からシステムを構成するトータルチップ数を減らすことへの要求が強く、システムをそのまま LSI 化する所謂 SoC (System - on - a - chip) も一般化している。さらに DRAM アレイを十分に小さく作ることができる技術があるので、これを SoC に DRAM コアを混載することは自然な流れである。このため、混載 DRAM コアは SoC を構成する重要な IP として小型、高速、低消費電力化をはじめ研究開発が継続中である。現在、携帯機器向けのみならずこれまで SRAM を用いていた CPU のキャッシュにも混載 DRAM コアが使われ始めている [44]。これは現在の CPU の高速化が主として複数の CPU を搭載するマルチコア化によって実現している結果として1チップあたりに必要となるメモリ容量増大したことへの対策として DRAM で SRAM を置き換えたものと考えられる。このように混載 DRAM コアの用途は今後とも拡大する方向にあり、今後とも重要な研究課題である。

混載メモリのほかに、メモリを記憶素子としてではなく演算器として利用する研究も行われている。ネットワークルータ等で用いられている CAM (Content Addressable Memory) はデータ検索という

演算を行うものであり、広義の演算器ととらえることができる。この他メモリアレイ内の全データを並列処理することでトータル演算速度の向上を図った SIMD (Single Instruction Multi Data) プロセッサ [45] の研究も行われている。プログラムの柔軟性では一般の CPU に劣るが特定用途に限定すれば同一プロセスの CPU より演算性能を上げることが出来、アクセラレータ用途に適している。このような演算器への応用においては、メモリセルを多数個並べ、さらにこれらを同時に動作させることで単位時間当たりの総演算性能向上を実現しており、そのメモリアレイ設計が性能を左右するといっても過言ではない。

1.2 本研究の目的

本研究は上述の背景の下、混載メモリならびにメモリ応用演算器の回路技術的観点からの小型化、高速化、低消費電力化を目的として行ったものである。以下、その具体的内容を述べる。

まず DRAM と SRAM を混載したキャッシュ DRAM を題材として単位時間当たりのデータ転送量を増大するために入出力バス幅の拡大を行った。バスをメモリアレイ内に配置し、ビット線と並走させることでメモリコア面積の増大を最小限に抑えることができた。

次いでキャッシュ DRAM のメモリ制御の検討を行い DRAM コア、SRAM コアの制御の独立性を上げることで実効的なスループット向上を図った。さらにこの独立した制御を応用して DRAM コアをページモード動作させることで入出力バス幅を実効的に2倍に広げ、高速化と小型化を両立させた。

次に SoC に混載することを前提にした DRAM コアを検討した。モジュール構造を採用することで、様々な容量やデータバス幅のコアを短納期で供給できた。これにより様々な SoC の要求に対して最適なコアが供給でき、SoC の小型化と高速化が実現できる。この DRAM コアには冗長救済判定回路を含む BIST (Built In Self Test) 回路を搭載しており、テスト工程の簡略化を実現した。更に SoC の所要メモリ容量拡大に伴い従来は SRAM にて対応していた用途への DRAM コアの適用も行われるようになってきた。これに対応することを目標に SRAM like に使用できる即ち、1クロックで動作が完結し、さらにスタンバイ電力の小さな DRAM コアの研究を行った。

最後にメモリ応用の演算器については低消費電力化に関して重点的に研究を行った。これは演算器として用いる場合は全メモリ空間が演算対象であるために記憶素子用途のメモリで一般的なメモリアレイの分割動作が使えないためである。

1.3 本論文の内容と構成

本論文は上記目的に基づいて行った、混載メモリ及びメモリの演算器への応用デバイスの小型、高速、低消費電力化のためのアーキテクチャレベルならびに回路技術での研究成果をまとめたものである。本論文の構成と各研究の概要を以下に記す。

第 2 章 DRAM と SRAM のワンチップ化による高性能化の研究

DRAM と SRAM を混載することで、ディスクリートの DRAM と SRAM の組み合わせよりも高性能なメモリシステムを得ることを目的とした。メモリアレイのデータ入出力バスのワイド化の検討を行った。ワイドバス化のためにデータバスをビット線と並走させてアレイ内に配置した。今回の検討ではビット線に並走する方向に空き領域のあるワード線シャント領域に配置することで面積の拡大を最小限に抑えることができた。キャッシュ DRAM は DRAM を主記憶、SRAM をキャッシュとして用いることを前提に設計しており、このワイドバス化によってキャッシュのブロックサイズを大きくすることができ、ヒット率向上即ちコンピュータシステムの高速化に貢献している。またデータバッファを読み出し用と書き込み用の 2 系統備えることで、DRAM への書き戻しの前に SRAM へ新しいデータを書き込むファストコピーバックモードを実現した。これによりキャッシュミス時のペナルティの低減が図れ、これもコンピュータシステム高速化に有効である。

第 3 章 キャッシュ DRAM の高機能化の研究

メモリシステムの簡略化のためにユニファイドメモリシステムに適したキャッシュ DRAM を検討した。DRAM と SRAM の制御を完全分離することと DRAM/SRAM 間のデータバッファの改良により DRAM と SRAM の並列動作が可能になった。この並列動作を活用して DRAM をページモード動作させることで実効的にデータバス幅を 2 倍にすることができた。これにより高速化と小型化を両立させた。更に高機能化への試みとしてキャッシュコントローラを内蔵させた。

第 4 章 混載 DRAM のモジュール化に関する研究

SoC のメモリへの要求はそれぞれ異なることから、混載メモリコアの容量や語構成をバリエーションが多ければ SoC の性能やチップ面積の観点で有利である。一方で混載メモリコアのバリエーションを増やすとメモリコアの開発工期が延びてしまう。そこでメモリコアをモジュール構成として様々な構成に対して各モジュールを必要な数だけ配置してメモリコアを構成するアーキテクチャを提案する。メモリコアをメモリアレイ、IO 回路、ローカル制御回路、グローバル制御回路にモジュール化し、要求に応じてこれらを必要個数並べることで DRAM コアを作り上げるようにした。データバスはキャッシュ DRAM と同じくビット線に並走させているが、SoC ではメタル層数に余裕があるので上層メタルに配置する構成を採用した。さらにメモリコアを駆動するためのタイミング信号の分配方式を検討し、適応的に駆動タイミング分配が行える ASM 方式を提案する。

DRAM 混載 SoC の生産性の観点から DRAM コアのテストング手法も重要な検討課題である。SoC のテストングで用いられるロジックテストはメモリの歩留まり向上のための冗長回路の救済判定機能を持っていない。そこで冗長判定機能を有するテスト回路の検討も行った。このテスト回路は上述のメモリアレイと同じくモジュール構成にすることで様々な構成への対応が可能である。

第 5 章 混載 DRAM の高速化、低消費電力化の研究

混載メモリの適用範囲拡大に伴い、大容量で SRAM 同等の動作をする混載メモリコアへの要求が高まってきた。これに対応する一手段が混載 DRAM コアの Row サイクルを 1 クロックサイクルに高速化することである。本章ではこのような混載 DRAM コアに適した回路技術を述べる。高速化のためには精度よくタイミング信号を生成する必要があるが、一般に用いられるインバータ型や RC 型遅延回路では PVT(Process Voltage Temperature) ばらつきの影響で適用できないことを示し、新たな回路方式として PLL の構成要素を応用した STC 方式を開発した。さらにこのタイミング信号を精度よく分配する手段として前述の ASM 方式を改良した NET 方式の開発も行った。またモバイル用途を念頭にセンスアンプ駆動電圧を下げることで待機時電力の低減を実現した。

第 6 章 TCAM における低消費電力化の研究

メモリアレイで構成した検索エンジンである TCAM の低消費電力化の研究を行った。メモリアレイを応用した演算器においては、通常のメモリにおける低消費電力化の有力な手段であるアレイの分割動作を適用することができない。このためチャージリサイクリングをマッチ線並びにサーチ線に適用することにした。PMOS セルと NMOS セルの組み合わせでチャージリサイクリングを行う構成、並びにこれを効率的に配置するチェッカーボードアレイ配置の提案を行った。またマッチ線へのチャージリサイクリング適用時に課題となる直列接続されたサーチトランジスタ間の浮遊ノードのヒステリシス起因の動作マージン劣化への対応駆動方式の検討、さらにはマッチアンプ駆動方式の検討も併せて行った。

第 7 章 結論

第 2 章から第 6 章の結果をまとめ、結論とする。

図 1.2 に本論文の構成図を示す。本研究の成果が混載メモリならびにメモリ応用演算器などのメモリ技術に応用した半導体デバイス的高速化、低消費電力化、小型化に貢献し、更なる LSI の高性能化をもたらすことを期待する。

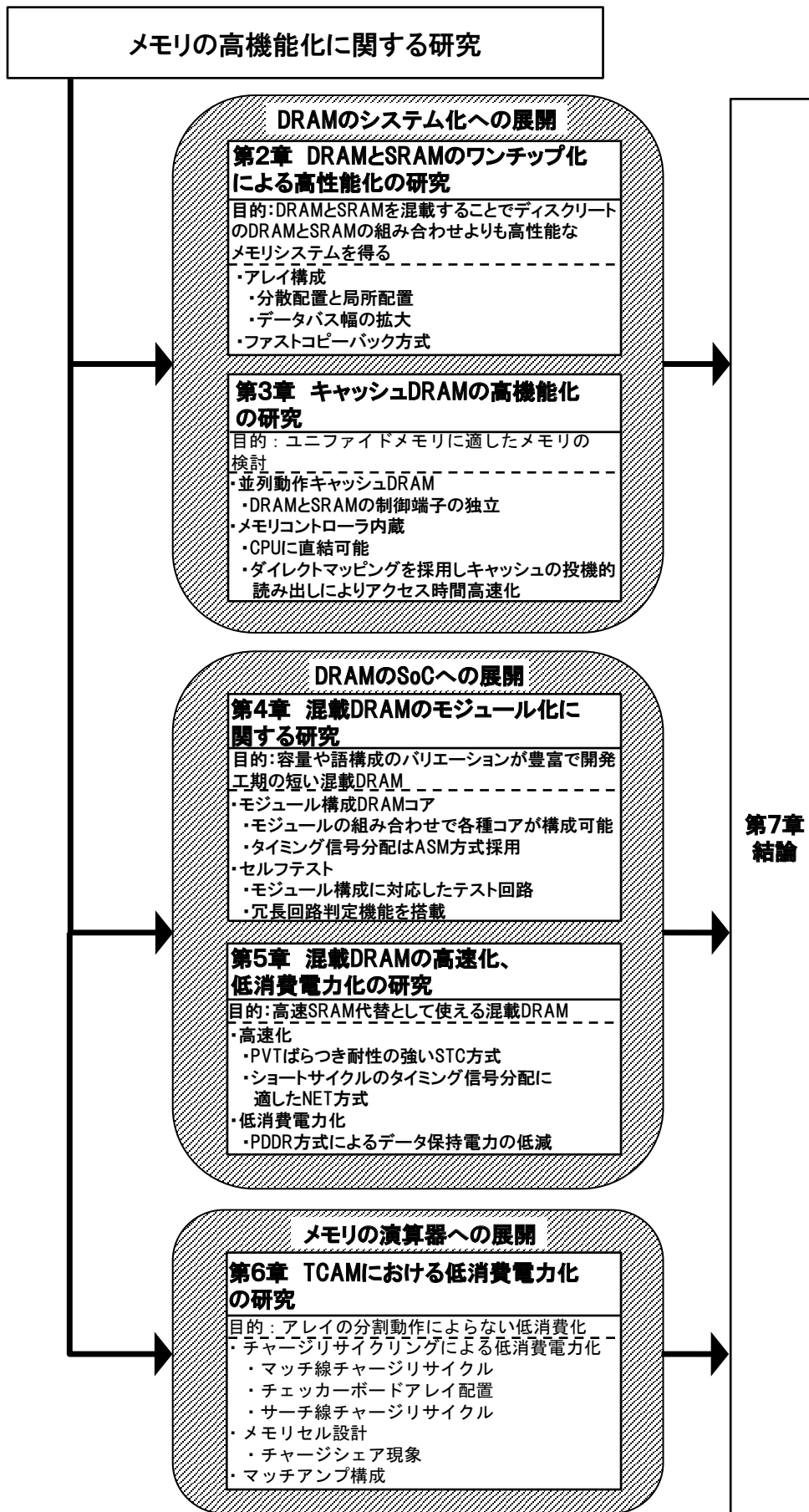


図 1.2 本論文の構成図

参考文献

- [1] W. Regitz, and J. Karp, "A three-transistor-cell, 1024-bit, 500 NS MOS RAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 42-43, Feb 1970.
- [2] J. Karp, et al., "A 4096-bit Dynamic MOS RAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 10-11, Feb 1972.
- [3] C. Ahlquist, et al., "A 16K Dynamic RAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 128-129, Feb. 1976.
- [4] K. Itoh, et al., "A high-speed 16K-bit NMOS RAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 140-141, Feb. 1976.
- [5] H. Yoshimura, et al., "64Kbit MOS RAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 148-149, Feb. 1978.
- [6] S. Matsue, et al., "A 256K Dynamic RAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 232-233, Feb. 1980.
- [7] T. Mano, et al., "A 256K RAM Fabricated with Molybdenum-Poly-Silicon technology," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 234-235, Feb. 1980.
- [8] K. Itoh, et al., "An Experimental 1Mb DRAM with On-Chip Voltage Limiter," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 282-283, Feb. 1984.
- [9] S. Suzuki, et al., "A 128K Word x 8b DRAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 106-107, Feb. 1984.
- [10] A. H. Shah, et al., "A 4Mb DRAM with Cross Point Trench Transistor Cell," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 268-269, Feb. 1986.
- [11] M. Takada, et al., "A 4Mb DRAM with Half Internal-Voltage Bitline Precharge," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 270-271, Feb. 1986.
- [12] T. Furuyama, et al., "An Experimental 4Mb CMOS DRAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 272-273, Feb. 1986
- [13] T. Mano, et al., "Circuit Technologies for 16Mb DRAMs," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 22-23, Feb. 1987.
- [14] T. Yamada, et al., "A 64Mb DRAM with Meshed Power Line and Distributed Sense-Amplifier Driver," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 108-109, Feb. 1991.

- [15] S. Mori, et al., "A 45ns 64Mb DRAM with a Merged Match-Line Test Architecture," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 110-111, Feb. 1991.
- [16] M. Taguchi, et al., "A 40ns 64Mb DRAM with Current-Sensing Data-Bus Amplifier," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 112-113, Feb. 1991.
- [17] Y. Oowaki, et al., "A 33ns 64Mb DRAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 114-115, Feb. 1991.
- [18] G. Kitsukawa, et al., "256Mb DRAM Technologies for File Applications," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 48-49, Feb. 1993.
- [19] T. Sugibayashi, et al., "A 30ns 256Mb DRAM with Multi-Divided Array Structure," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 50-51, Feb. 1993.
- [20] M. Horiguchi, et al., "An Experimental 220MHz 1Gb DRAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 252-253, Feb. 1995.
- [21] Y. Nitta, et al., "A 1.6GB/s Data-Rate 1Gb Synchronous DRAM with Hierarchical Square-Shape Memory Block and Distributed Bank Architecture," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 376-377, Feb. 1996.
- [22] J. H. Yoo, et al., "A 32-bank 1Gb DRAM with 1GB/s Bandwidth," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 378-379, Feb. 1996.
- [23] T. Kirihaata, et al., "A 220mm² 4 and 8 Bank 256Mb SDRAM with Single-Sided Stitched WL Architecture," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 78-79, Feb. 1998.
- [24] M. Hasegawa, et al., "A 256Mb SDRAM with Subthreshold Leakage Current Suppression," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 80-81, Feb. 1998.
- [25] S. Eto, et al., "A 1Gb SDRAM with Ground Level Precharged Bitline and Non-Boosted 2.1V Word Line," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 82-83, Feb. 1998.
- [26] H. Yoon, et al., "A 2.5 V 333 Mb/s/pin 1 Gb Double Data Rate SDRAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 412-413, Feb. 1999.
- [27] Y. Takai, et al., "A 250 Mb/s 1 Gb Double Data Rate SDRAM with a Bi-Directional

- Delay and an Inter-Bank Shared Redundancy Scheme,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 418–419, Feb. 1999.
- [28] T. Kiriata, et al., “A 390 mm² 16-bank 1 Gb DDR SDRAM with Hybrid Bitline Architecture,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 422–423, Feb. 1999.
- [29] H. Yoon, et al., “A 4 Gb DDR SDRAM with Gain-Controlled Pre-Sensing and Reference Bitline Calibration Schemes in the Twisted Open Bitline Architecture,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 378–379, Feb. 2001.
- [30] T. Kiriata, et al., “A 113 mm² 600 Mb/s/pin 512 Mb DDR2 SDRAM with Vertically-Folded Bitline Architecture,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 382–383, Feb. 2001.
- [31] K. Kyung, et al., “A 800Mb/s/pin 2GB DDR2 SDRAM using an 80nm Triple Metal Technology,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 468–610, Feb. 2005.
- [32] K. Kim, et al., “An 8Gb/s/pin 9.6ns Row-Cycle 288Mb Deca-Data Rate SDRAM with an I/O Error-Detection Scheme,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 527–536, Feb. 2006.
- [33] D. Lee, et al., “A 2.5Gb/s/pin 256Mb GDDR3 SDRAM with Series Pipelined CAS Latency Control and Dual-Loop Digital DLL,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 547–556, Feb. 2006.
- [34] Y. Moon, et al., “1.2V 1.6Gb/s 56nm 6F² 4Gb DDR3 SDRAM with Hybrid-I/O Sense Amplifier and Segmented Sub-Array Architecture,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 128–129, Feb. 2009.
- [35] B. Jeong, et al., “A 1.35V 4.3GB/s 1Gb LPDDR2 DRAM with Controllable Repeater and On-the-Fly Power-Cut Scheme for Low-Power and High-Speed Mobile Application,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 128–129, Feb. 2009.
- [36] S. Bae, et al., “A 40nm 2Gb 7Gb/s/pin GDDR5 SDRAM with a Programmable DQ Ordering Crosstalk Equalizer and Adjustable Clock-Tracking BW,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 498–500, Feb. 2011.
- [37] K. Sohn, et al., “A 1.2V 30nm 3.2Gb/s/pin 4Gb DDR4 SDRAM with Dual-Error Detection and PVT-Tolerant Data-Fetch Scheme,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 38–40, Feb. 2012.
- [38] K. Lim, et al., “A 1.2V 23nm 6F² 4Gb DDR3 SDRAM with Local-Bitline Sense Amplifier,

- Hybrid LIO Sense Amplifier and Dummy-Less Array Architecture,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 42–44, Feb. 2012.
- [39] Y. Bae, et al., “A 1.2V 30nm 1.6Gb/s/pin 4Gb LPDDR3 SDRAM with Input Skew Calibration and Enhanced Control Scheme,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 44–46, Feb. 2012.
- [40] T. Oh, et al., “A 3.2Gb/s/pin 8Gb 1.0V LPDDR4 SDRAM with Integrated ECC Engine for Sub-1V DRAM Core Operation,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 430–431, Feb. 2014.
- [41] H. Lee, et al., “A 1.35V 5.0Gb/s/pin GDDR5M with 5.4mW Standby Power and an Error-Adaptive Duty-Cycle Corrector,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 434–435, Feb. 2014.
- [42] Y. Takai, et al., “250Mbyte/sec Synchronous DRAM Using a 3-Stage-Pipelined Architecture,” Digest of Technical Papers. Symposium on VLSI Circuits, pp. 59–60, June 1993.
- [43] N. Kushiyama, et al., “500Mbyte/sec Data-Rate 512Kbitsx9 DRAM Using a Novel I/O Interface,” Digest of Technical Papers. Symposium on VLSI Circuits, pp. 66–67, June 1992.
- [44] F. Hamzaoglu, et al., “A 1Gb 2GHz Embedded DRAM in 22nm Tri-Gate CMOS Technology,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 230 – 231, Feb. 2014.
- [45] M. Nakajima, et al., “A 40GOPS 250mW Massively Parallel Processor Based on Matrix Architecture,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 1616–1625, Feb. 2006.

第2章 DRAM と SRAM のワンチップ化による高性能化の研究

2.1 序

本研究はメモリシステムの高性能化を目的として行ったものである。DRAM と SRAM をワンチップ化することで DRAM の高密度と SRAM の高速性の両立を図ったメモリとしてキャッシュ DRAM を提案する。DRAM と SRAM を単に1チップに封入するというのではなく、両者をワイドバスで接続することで通常の DRAM と SRAM の組み合わせでは実現できない高速なデータ転送を可能にした。

本章の研究の内容は以下のとおりである。まず DRAM と SRAM の配置方式として性能面で有利な集中配置型と面積ペナルティの小さな局所配置型をあげ、集中配置型の面積ペナルティを小さくすることを目的に検討を行い、DRAM アレイのワード線の裏打ち領域にデータバスを配線する構成を提案する。次に DRAM - SRAM 間のデータ転送回路 DTB (Data Transfer Buffer) について検討を行った。DRAM から SRAM への転送と SRAM から DRAM への転送を別のパスとし、後者についてはその回路内にラッチを組み込むことで、DRAM と SRAM の動作の独立性を高めた。この DTB の構成によってファストコピーバック FCB (Fast Copy Back) と呼ぶ新しい DRAM - SRAM 間データ転送方法が可能となり、キャッシュミス時のアクセスタイムを従来の3倍に高速化した。この提案アーキテクチャをテストデバイスにて実証した。また8倍のキャッシュ容量を持つ通常の SRAM によるキャッシュシステムと同等の性能であることを Specmark ベンチマークテストで検証した。

2.2 キャッシュ DRAM の構成

キャッシュシステムは、直近にアクセスされたデータは再度アクセスされる可能性が高いという、コンピュータプログラムの特性を利用したもので、図 2.1 で示すとおり CPU とメインメモリの他に、メインメモリより高速アクセス可能であるが、容量が小さなメモリをキャッシュメモリとして配置し、さらにこれらを制御するコントローラからなっている。キャッシュメモリはメインメモリのデータの一部を格納し、CPU からアクセス要求があったデータがキャッシュに格納されていれば（キャッシュヒット）、コントローラはメインメモリではなくキャッシュメモリからデータを取得するよう制御する。キャッシュに目的のデータが存在しない場合（キャッシュミス）にはコントローラはメインメモリにアクセス要求すると共にキャッ

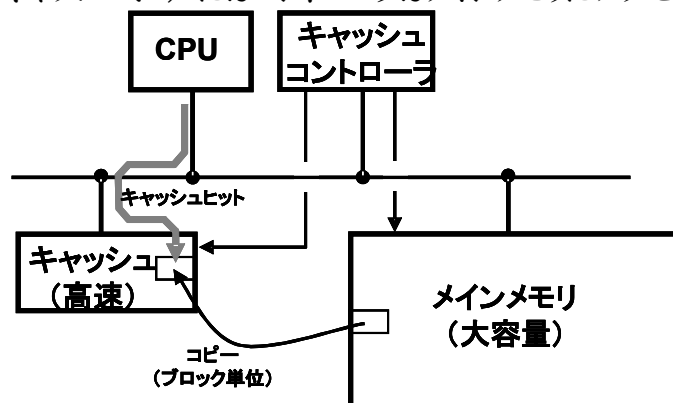


図 2.1 キャッシュシステム

キャッシュデータをコピーする。全メモリアクセスに占めるキャッシュヒットの割合をヒット率と呼び、キャッシュシステムの性能を表す重要な指標のひとつである。またメインメモリからキャッシュへデータをコピーするデータの単位をブロック、その容量をブロックサイズと呼ぶ。ブロックサイズはキャッシュシステムの性能を左右する重要なパラメータのひとつである。一般にヒット率向上のためには大きなキャッシュサイズや大きなブロックサイズが有効出ることが知られている。しかしキャッシュサイズを大きくするとチップ面積増大を招く。またブロックサイズを大きくすると、データコピーに要する時間が長くなり、キャッシュミス時のアクセス時間が遅くなる。キャッシュ DRAM では DRAM と SRAM をワンチップ化することで内部のバス幅をディスクリートで構成したキャッシュシステムのものより大きくすることでデータコピーに要する時間の増大無しにブロックサイズの拡大を実現し、小さなキャッシュサイズでヒット率向上を図った。

2.2.1 アレイアーキテクチャ

キャッシュ DRAM は図 2.2 に示すとおり DRAM と SRAM のアレイの配置によって分散配置型 [1] と局所配置型 [2] に分類される。分散配置型は DRAM のセンスアンプと SRAM アレイを隣接して配置するものであり、SRAM と DRAM 間のワイドバス化が容易にできるメリットがある。しかし一般的に DRAM では動作時電力の低減を目的として、そのアレイの一部のみを活性化する分割動作を行っており、非活性の DRAM アレイに隣接している SRAM が有効に利用できない。また SRAM がキャッシュ DRAM チップ内に分散しているため、入出力端子からの距離に差があり、SRAM の動作速度向上に限界がある。一方、局所配置型は DRAM と SRAM を分離してレイアウトし、両者をメタル配線で接続している。SRAM を集中配置することで分散配置型の性能面での欠点を解消することが可能である。しかし、DRAM - SRAM 間のバス幅を広げるためにはチップサイズが大きくなってしまいうという欠点を抱えていた。

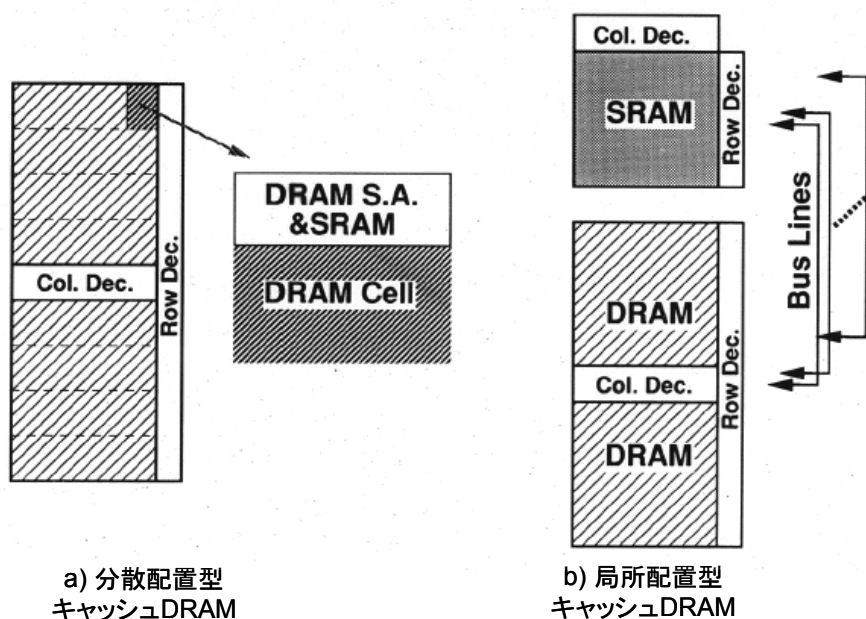


図 2.2 キャッシュ DRAM のアーキテクチャ

この問題を解決するために、データバスの配置について検討を行い、データバスを DRAM アレイ内に埋め込み、エリアペナルティを最小にすることとした。本章の研究でのテストデバイスのベースとして用いた DRAM[3] のメモリアレイを図 2.3 a) に示す。ポリシリコンゲートがワード線であり、ビット線は別レイヤのポリシリコンで形成されている。ワード線の裏打ちのために、各ワード線に第 1 アルミ配線を並走させ、アレイ内にポリシリコンゲートとのコンタクト領域（ワード線裏打ち領域）を設けた。このコンタクト領域によってワード線方向には 8 分割されている。メモリセルの情報はセンスアンプによって増幅された後、データバスから出力されるが、どのセンスアンプとデータバスを接続するかを決定するカラム選択信号は、チップ中央に設けたカラムデコーダで生成し、ビット線と平行に設けた第 2 アルミ配線で各センスアンプに分配される。データバスはワード線と平行に設けられており、センスアンプ列の左右に出力されたものを、再度プリアンプで増幅する。この DRAM アレイをキャッシュ DRAM に用いるにあたって、ワード線裏打ち領域で第 2 アルミ配線が存在しないことに着目した。図 2.3 b) のとおり、この領域にカラム選択信号線の第 2 アルミ配線と平行にデータバス線を設けることで面積ペナルティなく、複数のデータバスをチップ中央まで取り出すことが可能になった。センスアンプ内のデータバス線をワード線裏打ち領域単位に分断し、センスアンプとワード線裏打ち領域の交差点に設けたデータバススイッチを介して第 2 アルミ配線のデータバスと接続するようにした。またカラムデコーダを変更して、ワード線裏打ち領域ごとに 1 本のカラム選択信号が活性化するように構成した。本試作に用いた DRAM アレイでは裏打ち領域 1 箇所につき 4 セットのデータバス、並びに 2 セットのデータバススイッチがアレイ面積増大を招かない値であったので、2 箇所のセンスアンプ帯を同時に活性化し、裏打ち領域毎に 4 ビットのデータバスを設けた。裏打ち領域はワード線あたり 8 箇所であり、さらにこのアレイを上下に配置して中央部にデータを取り出す構成としたので 64 ビットのデータバス線を設けることができた。

2.2.2 データ転送バッファ DTB

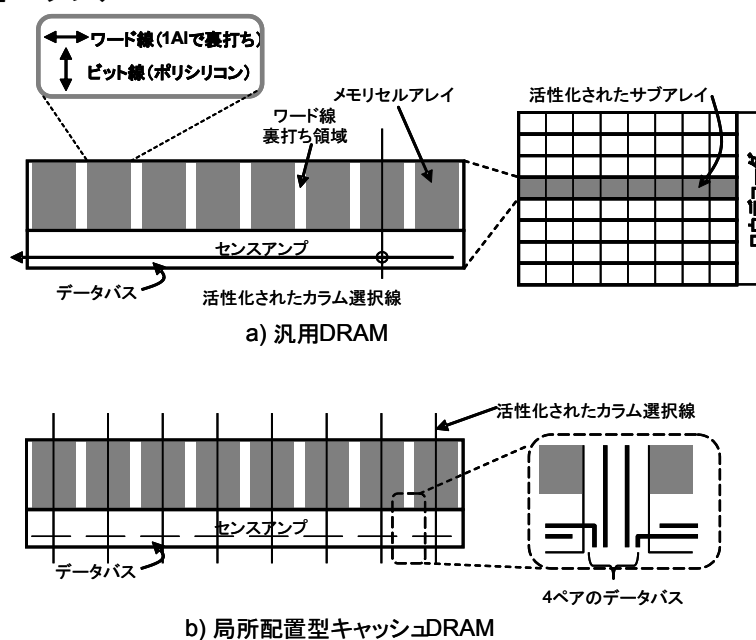


図 2.3 データバスの配置

データ転送バッファ DTB (Data Transfer Buffer) は DRAM のデータバスと SRAM の間に配置し、両者間のデータ転送を行うバッファアンプである。SRAM は動作速度が早く、1 クロックサイクルで動作を完結させることができる。一方で DRAM の Read/Write 動作は一般に SRAM のその数の数倍の時間が必要である。DTB の構成の検討にあたっては、この時間のかかる DRAM 動作によって SRAM の動作が止まることが極力発生しないように配慮した。この目的のため、SRAM から DRAM へ転送を行う経路と DRAM から SRAM へのデータ転送を行う経路を分離し、それぞれが独立してデータを保持できるようにした。具体的には図 2.4 に示すように SRAM から DRAM へ転送を行う DTB1 と DRAM から SRAM へのデータ転送を行う DTB2 の2つのバッファで構成した。さらに DTB1 にはさらにラッチを有している。

DTB1 を経由した SRAM より DRAM へのデータ転送は以下のとおり行われる。まず DRAM へのアクセスを開始すると同時に SRAM のワード線を選択する。SRAM ビット線に有効データが出力される時点で信号 DTL (Data Transfer to Latch) を活性化し SRAM データをラッチに記憶させる。SRAM はこのラッチにデータを書き込んでしまえば、DRAM のセンス完了を待つことなく、次の動作に移ることが可能である。DRAM のセンスが完了した時点で、DRAM のカラム選択線を選択すると共に信号 DTA (Data Transfer to Array) を活性化し、ラッチに書き込まれたデータをデータバス経由で DRAM アレイに書き込む。

次に DTB2 を経由した DRAM から SRAM へのデータ転送の説明をする。まず DRAM への読み出し要求のみが発行される。次いで DRAM のセンスが完了後、カラム選択線を活性化してデータバスに有効データが出力された時点で信号 DTS (Data Transfer to SRAM) が活性化すると共に SRAM ワード線が選択され、DRAM データが SRAM に転送される。DRAM のセンスが完了してデータ出力されるまでは、SRAM にデータ書き込みができないため、回路規模を縮小する目的で DTB2 にラッチを設けずに単純なバッファアンプとして構成した。

この DTB1 と DTB2 を組み合わせた DTB を DRAM アレイから出力されるデータバスのピッチに合わせてワード線裏打ち領域間に 4 セットずつ配置した。

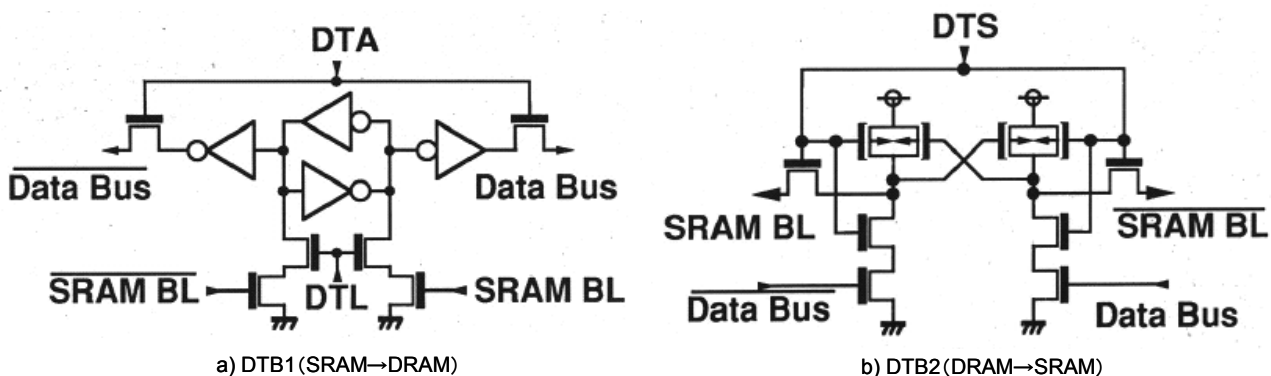


図 2.4 データ転送バッファ (DTB)

2.2.3 ファストコピーバック FCB 方式

上で述べた DTB の構成を活用してファストコピーバック FCB (Fast Copy Back) と称する新しい

キャッシュ制御方式を実現した。一般にキャッシュメモリは、図 2.5 に示すようにキャッシュメモリに存在するデータの書き換え方式によって 2 種類に大別できる。ひとつはコピーバックと呼ばれるもので、キャッシュメモリのデータ更新のみを行う。もうひとつはライトスルーと呼ばれ、キャッシュメモリのみならずメインメモリの書き換えも同時に行う。コピーバック方式における書き込みサイクルはキャッシュへの書き込みのみであるために、高速に完了することができる。しかし書き込んだデータがキャッシュ内にしか存在しないので、キャッシュミスした際にはキャッシュデータを更新する前にキャッシュの内容をメインメモリに書き戻すコピーバック動作が必要であり、単純にキャッシュに上書きすれば良いライトスルー方式に比べてキャッシュミス時のアクセス時間が遅くなってしまう。即ち、まずキャッシュ内の 1 ブロックのデータをメインメモリに書き戻した後に新たなデータをメインメモリから読み出す必要がある。

ファストコピーバック方式は、コピーバック方式のヒットライト時の高速書き込みを保ちつつキャッシュミス時のアクセス時間をライトスルーと同等にすることができる方式で、DTB が DTB1 と DTB2 の 2 つに分離されていることと、DRAM と SRAM 間のデータバスが広くブロックサイズ分のデータを 1 回で転送できることで実現できた方式である。その動作を図 2.6 で説明する。キャッシュミスし、さらに対応する SRAM 内のデータ D が書き換わっているものとする。この場合、通常のコピーバック方式では、上述の通り SRAM 内の書き換わったデータ D を対応する DRAM のブロック DM に書き戻し、

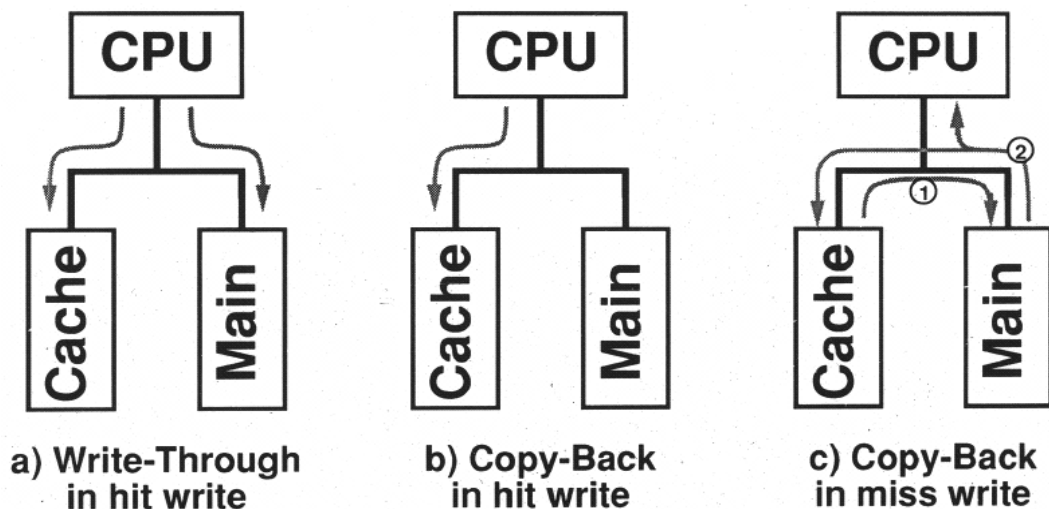


図 2.5 ライトスルー方式とコピーバック方式

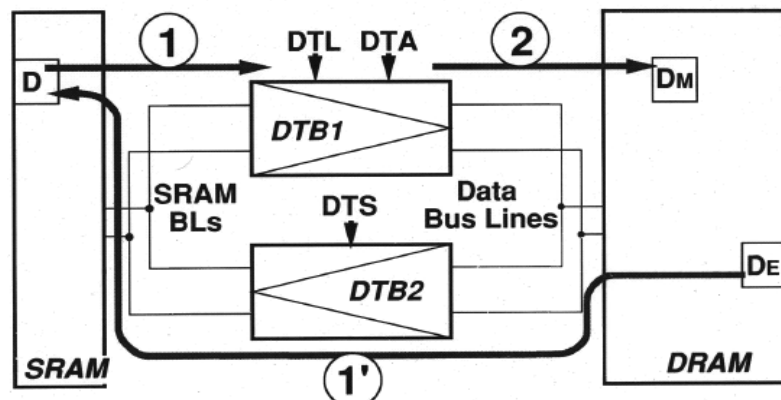


図 2.6 ファストコピーバック方式

しかる後にアクセス要求のあったデータ DE を SRAM に格納する。一方ファストコピーバック方式ではまず DRAM からアクセス要求のあったデータ DE の読み出し動作を開始すると同時に SRAM 内の書き換わったデータ D を DTB1 のラッチに格納する。SRAM はデータ D を DTB1 に格納してしまえば、そのブロックのデータは上書きされてもよいので、DRAM からデータが出力されるまで待機する。DRAM のセンスが完了すると DTB2 を経由して SRAM に書き込むと同時にデータ出力端子に要求のあったデータを出す。その後、DRAM アレイのプリチャージ、それに引き続いて書き戻すべきデータ DM の書き込みを行う。すなわち、アクセス要求のあるデータの読み出しを最初に行うことでライトスルーと同等のキャッシュミスアクセス時間の高速化が実現できた。DRAM への書き戻しはその後に行われる。キャッシュヒットが続いている限りは DRAM へのアクセスは発生しないので、CPU からは書き戻しの動作が完全に隠蔽される。図 2.7 にシミュレーション波形を示す。

2.3 テストデバイス

上記の検討結果を盛り込んだ 4M ビットのテストデバイス [4], [5] を以下に述べる。図 2.8 はテストデバイスのブロック図である。4I/O 構成のチップであり、1M ビット (1024 行 × 64 列 × 16 ブロック)

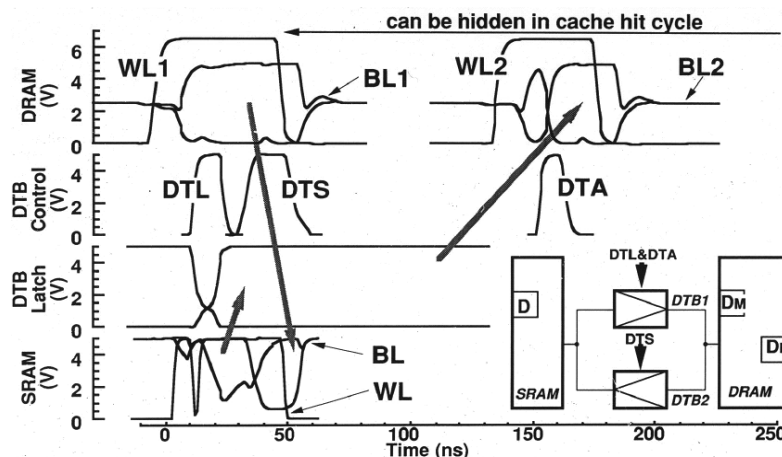
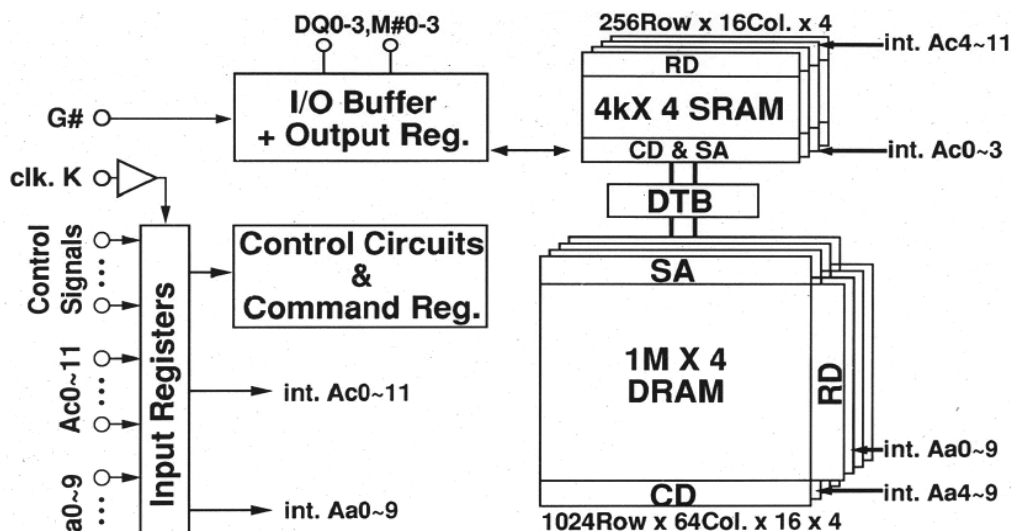


図 2.7 ファストコピーバックのシミュレーション波形



*DTB : Data Transfer Buffer

図 2.8 テストデバイスのブロック図

× 4 の DRAM アレイ, 4k ビット (256 ロウ × 16 ブロック) × 4 の SRAM キャッシュ, 16 ブロック × 4 すなわち 64 ビットのデータバス, DTB, I/O, 周辺制御ロジックから成っている。チップの制御はクロック同期型とし、サイクルタイムの向上を図っている。高速動作が必要な SRAM ならびに I/O をチップ中央に配置することで配線遅延の影響を最小にした。以下に本テストデバイス設計に当たって留意した SRAM 並びにウエイ数の自由度に関して述べ、最後に試作結果を報告する。

2.3.1 SRAM アレイ

キャッシュ DRAM に使う SRAM もまたワイドバス幅での転送が要求される。ワイドバス化への対応の容易性から T 字型ビット線構成 [6] を採用した。T 字型ビット線構成は図 2.9 に示すとおりビット線に 2 層のメタルを割り当て、SRAM セルに直結したビット線と直角方向にデータを取り出すもので、センスアンプのピッチを SRAM セルのカラムピッチと独立に決めることができる。今回の試作ではビット線を第 1 アルミ、ワード線を第 2 アルミとし、引き出し用ビット線をワード線間に第 2 アルミで配線した。ワード線間には 1 セットのビット線のみを配置することでビット線間干渉を防止している。

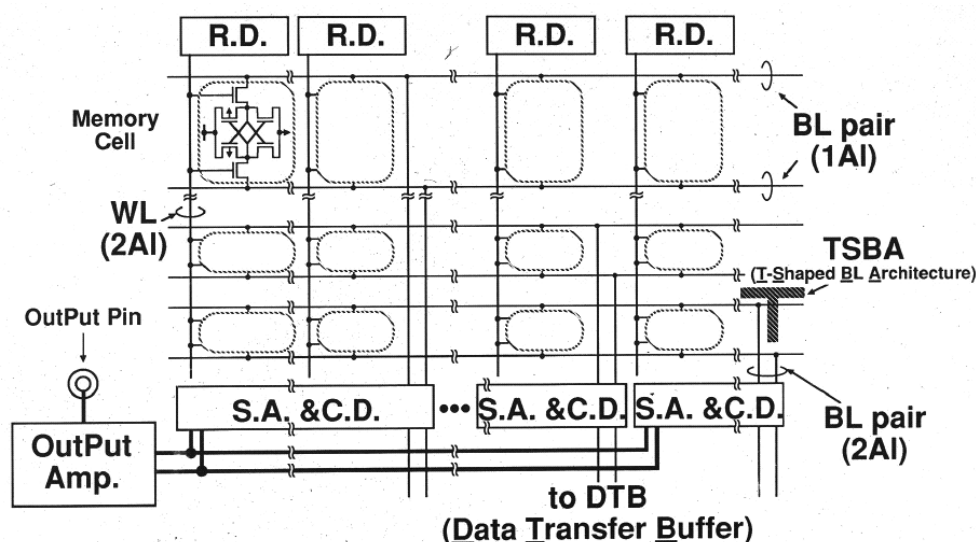


図 2.9 T 字型ビット線構成の SRAM

2.3.2 マッピングの自由度向上

マッピングとはメインメモリの特定ブロックのデータが、キャッシュのどこにコピーされ得るかを示すもので、フルアソシアティブ、セットアソシアティブ、ダイレクトマッピングの 3 つに分類できる。メインメモリ上のあるブロックが配置されるキャッシュのブロックがただひとつであるものをダイレクトマッピング方式と呼び、コントローラは最も簡単であるがキャッシュの内容が頻繁に書き換わるのでヒット率が上がりにくい。一方キャッシュの何れのブロックにでも配置できるものをフルアソシアティブ方式と呼びヒット率の点で優れているがコントローラが複雑になる。この中間にキャッシュの複数ブロックに配置できるセットアソシアティブ方式があり、ヒット率、コントローラの複雑さ共に両者の中間になる。

キャッシュ DRAM の適用範囲を広くするにはこの何れにも適用できることが望ましい。試作デバイ

スでは図 2.8 のピン Aa0~9 が DRAM アドレス、Ac0~11 が SRAM アドレスと完全分離した。そのため、DRAM と SRAM はブロック単位で自由にデータを配置することができるようになり、所期の目的を達成した。このアドレス完全分離によるピン数増加を回避するために DRAM のアドレスに関しては汎用 DRAM と同じく行アドレスと列アドレスのマルチプレックスをした。

2.3.3 試作結果

図 2.10 はテストデバイスの顕微鏡写真である。0.7 μ m 2 層メタル 4 層ポリシリコン CMOS DRAM プロセスで試作し、チップサイズは 82.9mm² で、ベースとした汎用 DRAM に対して 7% の面積増に抑えた。図 2.11 にキャッシュヒットリード時の動作波形を示す。10nsec のサイクルタイムで動作することを確認できた。図 2.12 はピン配置である。電源端子は 3 セットあり、そのうち 2 セットは SRAM 並びに出力アンプ用としてチップ中央に、残りの 1 セットは DRAM 用でチップの端に配置した。I/O

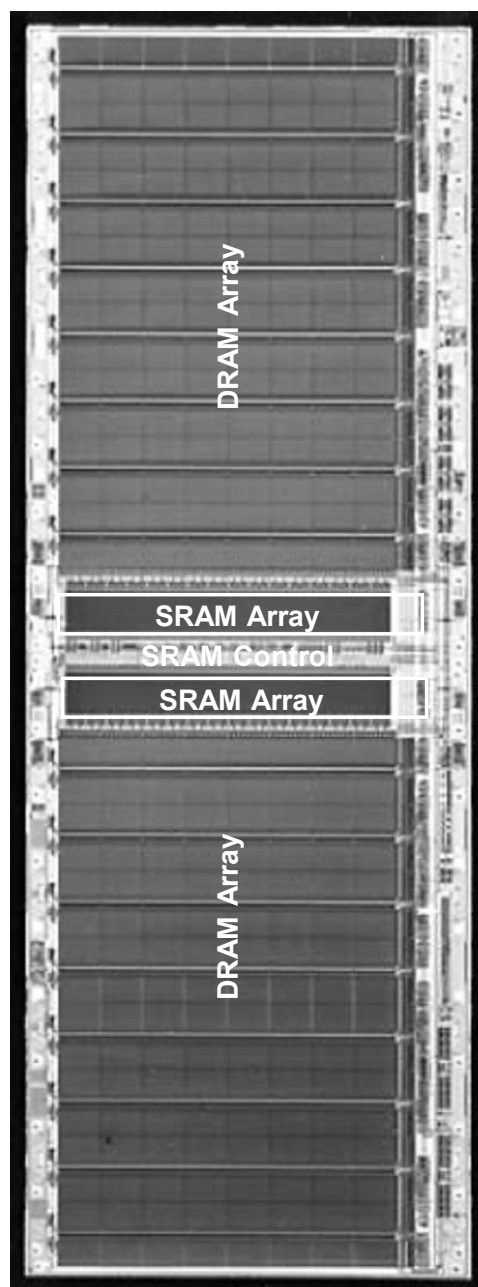


図 2.10 テストデバイスの顕微鏡写真

ピンを中央の電源端子のすぐ外に割り当て、その外に SRAM 用アドレスと制御信号を割り当てることで高速キャッシュアクセスと出力ノイズへの対策とした。チップ緒元を表 4.1 にまとめる。

2.4 システム性能

表 2.2 は 64 ビットプロセッサのキャッシュメモリに本テストデバイスを採用したことを想定したベンチマーク結果である。プロセッサにはそれぞれ 8k バイトの命令キャッシュとデータキャッシュをオンチップで備えており、外部バス幅は 64 ビットである。2 次キャッシュの構成を 3 種類比較した。ひと

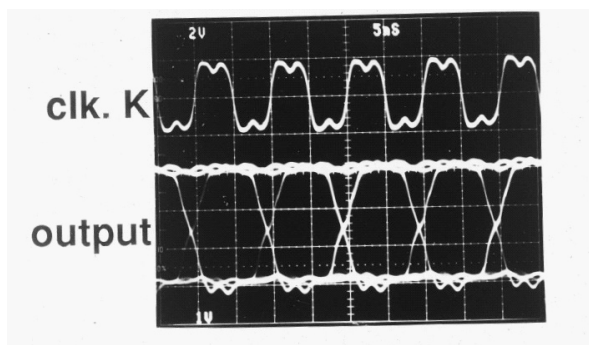


図 2.11 テストデバイスの出力波形

Vcc	1		44	REF#
Aa0	2		43	Aa9
Aa1	3		42	Aa8
CC1#	4		41	K
W#	5		40	G#
Ac0/Ar0	6		39	Ac11
Ac1/Ar1	7		38	Ac10
Ac2	8		37	Ac9
M#0	9		36	M#3
DQ0	10	300mil	35	DQ3
Vcc	11	TSOP	34	Gnd
Gnd	12	Type II	33	Vcc
DQ1	13	0.8mm	32	DQ2
M#1	14	pitch	31	M#2
Ac3	15		30	Ac8
Ac4	16		29	Ac7
Ac5	17		28	Ac6
E#	18		27	CH#
Aa2	19		26	Aa7
Aa3	20		25	Aa6
Aa4	21		24	Aa5
Gnd	22		23	CC2#

Top View

図 2.12 テストデバイスのピン配置

表 2.1 テストデバイスの主要諸元

Organization	1048576words × 4 (DRAM) 4096words × 4 (SRAM)
Block Size	16words × 4
Process Technology	0.7um twin-well CMOS quad-polysilicon and double metal
Chip Size	5.49mm × 15.10mm
DRAM Cell	Stacked-capacitor Cell 4.75um × 1.90um
SRAM Cell	Full-CMOS(6Tr) Cell 15.58um × 15.865um
Access/Cycle Time	10nsec/10nsec (SRAM) 46nsec/98nsec (DRAM)
Supply Current	111mA (SRAM @100MHz) 54mA (DRAM @tc=140nsec)
Redundancy	32Row, 16Column for DRAM
Package	44-pin 300mil TSOP typell (Lead Pitch 0.8mm)

つは2次キャッシュなし、次が 256k バイト、ダイレクトマッピング、ブロックサイズ 1 ワード (8 バイト) の従来型キャッシュ構成。そして本テストデバイスを用いたものである。本テストデバイスは 4I/O 構成であるので 64 ビットバスに接続するために 16 個を並列に接続した。このためキャッシュサイズは 32k バイト、ブロックサイズ 16 ワード (128 バイト) であり、マッピングはダイレクトマップとした。SPECmake ベンチマークテストでの速度で比較を行った。FPPPP を除いてキャッシュ DRAM の方が高いヒット率であり、ヒット率向上にはキャッシュサイズ増大よりもブロックサイズ増大が有効であることを示している。本テストデバイスを使用したシステムは2次キャッシュ無しのシステムと比較して 23% 高速であり、8 倍のキャッシュサイズの従来型キャッシュを上回る速度が得られた。これはキャッシュ DRAM のブロックサイズが大きいためにヒット率が高いこと、さらには大きなブロックサイズにもかかわらず1ブロックの転送が一度のデータ転送で完結することからキャッシュミス時のアクセス時間が高速であることの2点によるものである。

2.5 結言

本章では DRAM の高機能化として、DRAM と SRAM をワンチップ化したキャッシュ DRAM について種々の基本的項目の研究を行った。得られた結果を以下にまとめる。

- 1) アクセス時間やヒット率の面で有利な局所配置型キャッシュ DRAM のアーキテクチャを検討した。

DRAM アレイのワード線裏打ち領域にビット線と平行にデータバスを配線することで、最小のエリア

表 2.2 キャッシュ DRAM 採用システムのベンチマーク

TEST Program (subset of SPECmark)	Internal Cache Only	256k Byte External Cache	1Mb X 4 CDRAM (16 pieces)
EQNTOTT	1.00	1.08 (82.0)	1.10 (88.6)
ESPRESSO	1.00	1.05 (90.3)	1.08 (94.5)
FPPPP	1.00	1.54 (98.7)	1.42 (96.9)
TOMCAT	1.00	1.18 (44.4)	1.37 (91.6)
MATRIX300	1.00	1.20 (54.9)	1.22 (77.8)
Mean	1.00	1.20	1.23

Value in parentheses : Hit Rate (%)

ペナルティで局所配置型を実現した。この局所配置型アレイは 4I/O 構成のキャッシュ DRAM に対してデータバスを 64bit 用意することができ、16 ワードという大きなブロックサイズを実現した。これはキャッシュとメインメモリをワンチップ化しなければ実現困難である。

- 2) SRAM と DRAM を結ぶバッファアンプ DTB の検討を行い、SRAM データを DRAM へ転送する DTB1 と DRAM データを SRAM へ転送する DTB2 の別パスをもたせる構成を提案した。DTB1 は SRAM と DRAM のサイクルタイムの差を吸収する目的で内部にラッチを持たせた。
- 3) 上記構成の DTB を用いて新たにファストコピーバックモードを提案した。ファストコピーバックモードは通常のコピーバックモードとは逆に、まず CPU からのアクセス要求のあったデータをキャッシュに読み出した後に DTB1 の保存されていた書き戻すべきデータをメインメモリに書き戻すもので、CPU からみたキャッシュミス時のアクセス時間は従来のキャッシュシステムに比べて 1/3 に短縮される。本モードは DRAM と SRAM をワンチップ化し、さらに DTB を 2 系統に分けたことで実現できた。
- 4) キャッシュ DRAM として DRAM アレイと組み合わせる SRAM アレイを検討し、T 字型ビット線構成を採用することで DRAM アレイとの結合を容易に行うことができることを明らかにした。SRAM アレイの上下に DRAM アレイを配置することで高速アクセスが要求される SRAM を配線遅延が最小なチップ中央に集中配置することができ、キャッシュアクセス時間の短縮を実現できた。
- 5) 以上の提案を通常の 4M ビット DRAM をベースに、16k ビットの SRAM を搭載したテストデバイスにて実証した。試作したテストデバイスは DRAM アドレスと SRAM アドレスを完全分離したピン配置を採用し、局所配置型であることとあいまってマッピングの自由度を最大にした。即ちコントローラの対応によってダイレクトマッピングからフルアソシアティブまで選択可能である。試作デバイスは 0.7 μ m DRAM プロセスにてチップサイズ 82.9mm² であり、SRAM を搭載したにもかかわらず汎用 DRAM に対してわずか 7% の面積ペナルティに抑えることができた。
- 6) テストデバイスを用いたコンピュータシステムと従来構成のキャッシュを採用したコンピュータシステムをシミュレーションで比較し、SPECmak ベンチマークテストでキャッシュ容量が 8 倍の従来構成キャッシュを採用したものと同等の速度を実現した。

以上のことより DRAM と SRAM をワンチップ化し、その間をワイドバンドのバッファで結んだキャッシュ DRAM が機能メモリとして有効なアーキテクチャであることを工学的に実証した。

参考文献

- [1] K. Arimoto, et al., "A circuit design of intelligent CDRAM with automatic write back capability," Digest of Technical Papers. Symposium on VLSI Circuits, pp. 79-80. June 1990.
- [2] M. Asakura, et al., "An experimental 1-Mb cache DRAM," Digest of Technical Papers. Symposium on VLSI Circuits, pp. 43-44. May 1989.
- [3] Y. Konishi, et al., "A 38-ns 4-Mb DRAM with a Battery-Backup (BBU) Mode," IEEE Journal of Solid-State Circuits, vol. 25, no. 5, pp. 1112-1117, Oct. 1990.
- [4] K. Dosaka, et al., "A 100 MHz 4 Mb Cache DRAM with Fast Copy-Back Scheme," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 148-149, Feb. 1992.
- [5] K. Dosaka, et al., "A 100-MHz 4-Mb Cache DRAM with Fast Copy-Back Scheme," IEEE Journal of Solid-State Circuits, vol. 27, no. 11, pp. 1534-1539, Nov. 1992.
- [6] T. Shiomi, et al., "New bit line architecture for ultra high speed SRAMs-T-shaped bit line and its real application to 256k BiCMOS TTL SRAM," Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 10.4.1-10.4.4. May 1991.

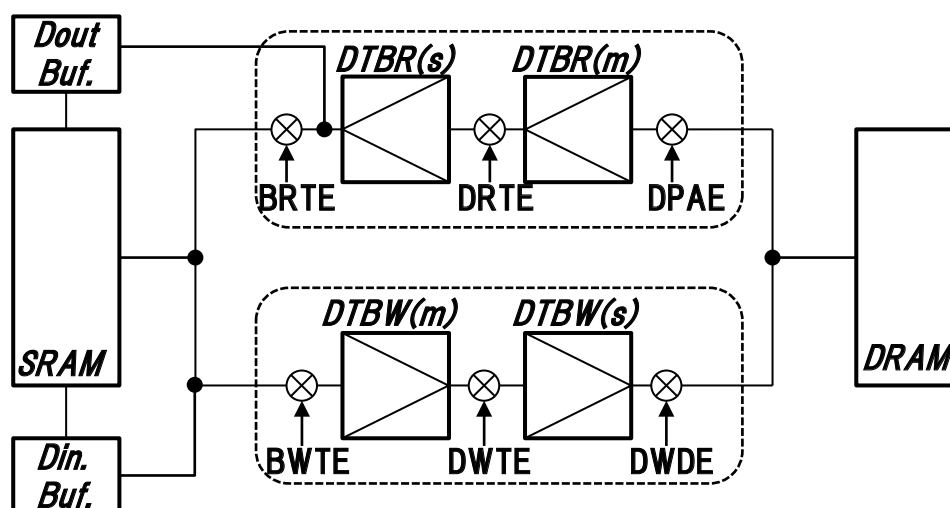


図 3.2 コンカレントキャッシュ DRAM

れた際に必ずしも SRAM がアイドル状態とは限らないため、DRAM から SRAM へのパスにもラッチを設けると共に、それぞれのラッチをマスタスレーブ構成とした。以下にコマンド体系と DTBR (Data Transfer Buffer for Read), DTBW (Data Transfer Buffer for Write) の回路の詳細を述べる。

3.2.1 コマンド体系

図 3.3 にコンカレントキャッシュ DRAM のコマンドを示す。DRAM コマンドと SRAM コマンドに分かれており、DRAM コマンドは SDRAM (Synchronous DRAM) [2] に準拠したものとした。SRAM コマンドは SRAM 並びに DTB のデータの入出力を行う。

DRAM コマンドの ACT, PRE, REF は SDRAM と同じくそれぞれロウ系の活性化並びにプリチャージ開始、リフレッシュ開始を行うものである。ACT によって指定されたワード線に接続されたメモリセルのデータをセンスアンプに読み出す。この後、このセンスアンプに読み出されたデータに対する読み書きを DRT, DWT1, DWT2 にて行う。PRE にてワード線は非活性化され、次の ACT に備えてメモリアレイのプリチャージが行われる。DRT は SDRAM の READ に相当するもので DTBR ヘデータを読み出す。DWT1, DWT2 は SDRAM の WRITE に相当し、DTBW のデータを書き込む。この際 DWT1 は DTBW のマスタ段のデータをスレーブ段経由で DRAM アレイに書き込むのに対して DWT2 はスレーブ段のデータを書き込む。この DWT2 は DWT1 に続けて発行することによりグラフィック用途で多用されるフラッシュライト、すなわち同一データの書き込みを効率よく行うことを目的とした。

SRAM コマンドは SRAM 単独動作、DTB 単独動作、SRAM と DTB 間の動作を行うものの 3 種類がある。SR, SW は夫々 SRAM データの読み出し並びに書き込みであり、IO 幅単位（テストデバイスでは 16 ビット）でのデータ転送を行う。BR, BW は DTBR スレーブ段からの読み出しと DTBW マスタ段への書き込みを IO 幅単位で行うものである。SW, BW はライトマスク機能を備えている。BRT は DTBR マスタ段からスレーブ段経由での SRAM への書き込みであり、BWT は SRAM から DTBW マスタ段への書き込みである。何れも DTB のバス幅（テストデバイスでは 64 ビット）でのデータ転送が行われる。BRTR は BRT と BR を同時実行するものであり、BWTW は BWT と SW を同時実行

するものである。

SRAMとDRAM間のデータ転送はBRTとDRTの組み合わせ並びにDWTとBWTの組み合わせで実現することができる。グラフィックエンジンがDRAMデータを直接ハンドリングするためにはDRTとBRあるいはBWとDWTの組み合わせを用いる。

DRAM コマンド	SRAM コマンド
ACT	SR
PRE	SW
REF	BR
DRT	BW
DWT1	BRT
DWT2	BWT
	BRTR
	BWTW

図 3.3 コンカレントキャッシュ DRAM のコマンド

3.2.2 データ転送バッファ DTB

データ転送バッファは、DRAMからの読み出しに用いるDTBRと、DRAMへの書き込みに用いるDTBWで構成した。

図 3.4 は DTBR の回路図並びに動作波形である。まず DRAM からの読み出しである DRT モードの動作を説明する。GIO 対は DRAM と DTB 間のデータバス、DPAE は GIO が確定した時点でアサートされる信号で、これによって GIO 対のデータが DTBR マスタ段に転送される。DRTE は DRT コマンド発行後、所定のレイテンシ分遅れてアサートされる信号で、これによって DTBR のマスタ段からスレーブ段にデータ転送する。このマスタ・スレーブ構成により DTBR スレーブ段のデータ不定期間を無くすることが可能となった。DTBR スレーブ段の出力動作は SRAM に書き込む BRT、出力バッファに出力する BR さらにその両方を同時に行う BRTR の 3 つを設けた。BRT モードは BRTE をアサートすると共に、対象の SRAM ワード線を活性化することで DTBR スレーブ段のデータを SRAM へ書き込む。BR モードは SRAM のワード線は活性化せず、DTBR スレーブ段のデータを SRAM 用センスアンプ経由で読み出すことで実現している。BRTR はキャッシュミス時の最初の読み出しに用いることを想定して設けたもので SRAM への書き込みを行うとともに、DTBR スレーブ段から SRAM センスアンプへのパスを用いて出力する。これにより BR と同じアクセスタイムを実現した。また BRTR を設けること BRTR が存在しない場合に比べてキャッシュミス時のレイテンシを 1 クロック短縮した。

次いで図 3.5 が DRAM への書き込みを行う DTBW の動作波形並びに回路図である。データビットとマスクビットの 2 系統が存在するため DTBR より複雑であるが、マスタスレーブ構成のバッファである点は同様である。DTBW へのデータ書き込みは SRAM から行う BWT と外部 I/O ピンから行う BW の 2 つのパスが存在する。BWT モードでは以下の通りブロックサイズ単位で DTBW のマスタ

段にデータが転送する。すなわち SRAM のセンスアンプ出力 SSAO 対のデータを BWTE によって DTBW のデータビット・マスタ段に転送し、同時にマスタ段の全データビットが有効であることを示すためにマスクビットのマスタ段を BWTE によってクリアする。BW モードでは DBW 対からデータ入力される。さらにこのモードはブロックサイズ単位でなく IO 幅サイズ単位での転送であるので選択されたアドレス以外のマスクビットをセットするためためにカラムライトデコーダ出力 BYW 対と MRS 信号によってマスクビットのマスタ段が選択的にセットする。BWT 発行後に BW コマンドを用いることで SRAM データを選択的に書き換えた上で DRAM に転送することが可能である。DRAM への書き込みはマスタ段データを書き込む DWT1 とスレーブ段データを書き込む DWT2 を設けた。DWT1 コマンドはまず DWTE をアサートすることによってデータビットとマスクビット共にマスタ段からスレーブ段へ転送が行なう。次いで DWED をアサートしてすることでマスクビットのスレーブ段がリセットされているビットについて GIO 経由で DRAM センスアンプ経由で DRAM セルへの書き込みを行う。なおマスクビットがセットされているビットに対してはデータ書き込みが行われない。DWT2 コマンドでは DWTE はアサートせず DWED のみアサートすることでスレーブ段のマスクビットに応じてスレーブ段のデータを DRAM

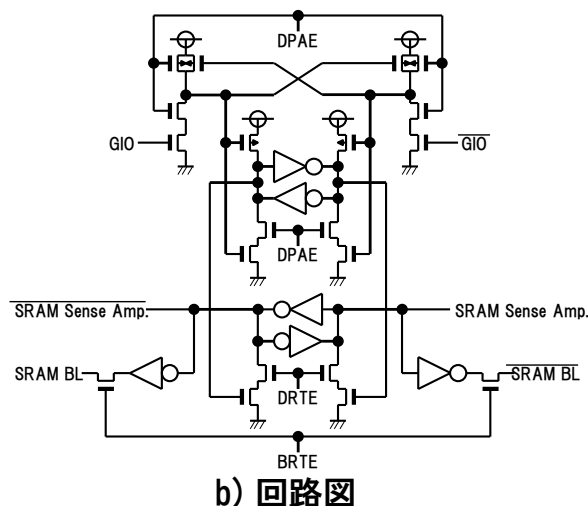
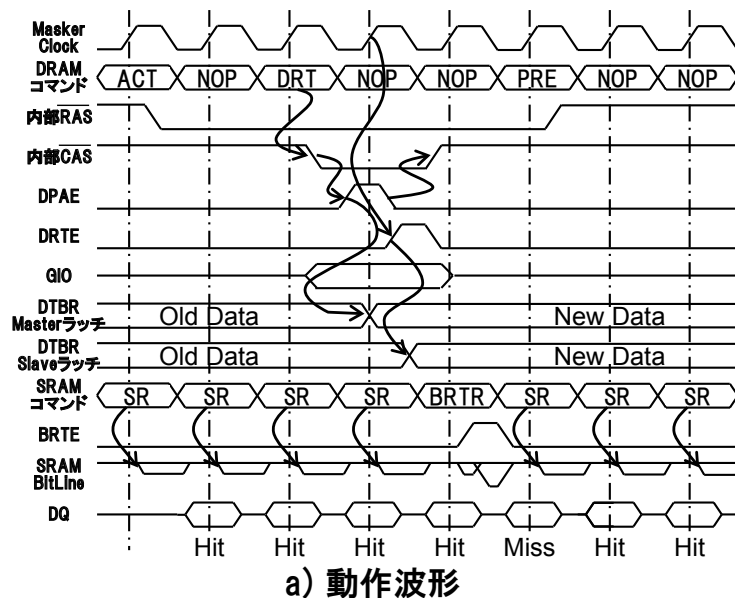


図 3.4 コンカレントキャッシュ DRAM の DTBR

セルに書き込む。

このように DTBR, DTBW とともにマスタスレーブ構成としたことで 1 クロックサイクルで動作が完結できる SRAM は複数クロックサイクル必要な DRAM の動作完了を待つことが不要となり、ユニファイドメモ

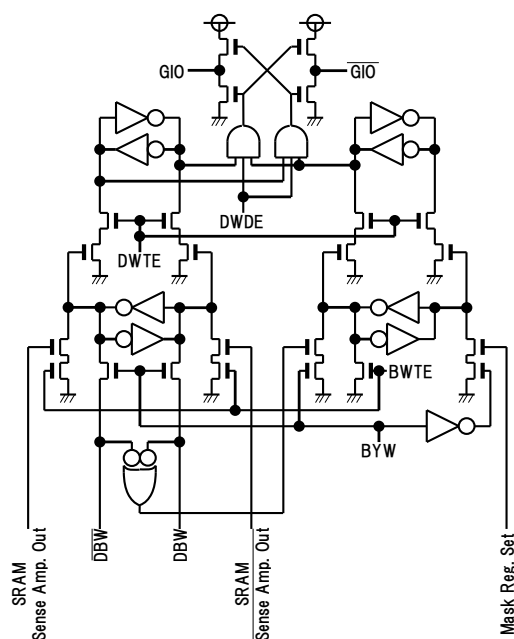
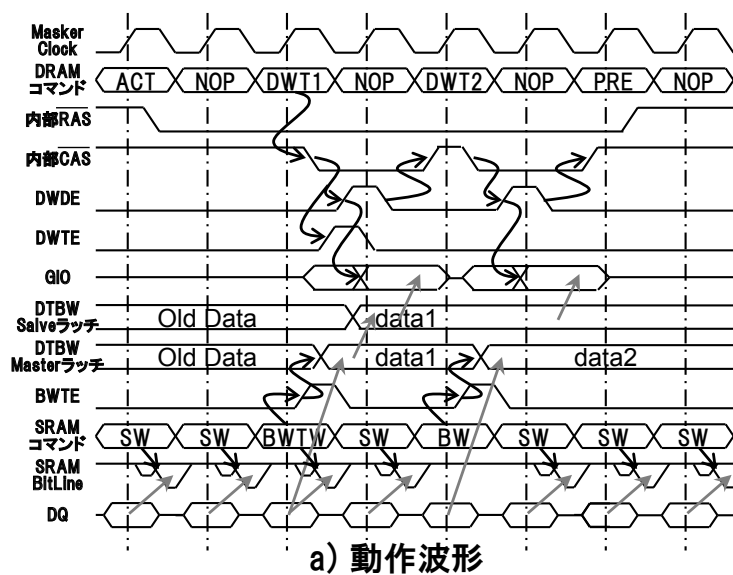


図 3.5 コンカレントキャッシュ DRAM の DTBW

モリシステムにおいてスループットの向上を図ることが出来た。

3.3 コントローラ内蔵キャッシュ DRAM

図 3.6 は 32 ビット幅のシステムバスを有する CPU のメモリをコントローラ内蔵キャッシュ DRAM で構成した場合のブロック図である。CPU とコントローラ内蔵キャッシュ DRAM 以外には I/O デバイスを制御する LSI を準備するだけで、コンピュータシステムを構築できる。

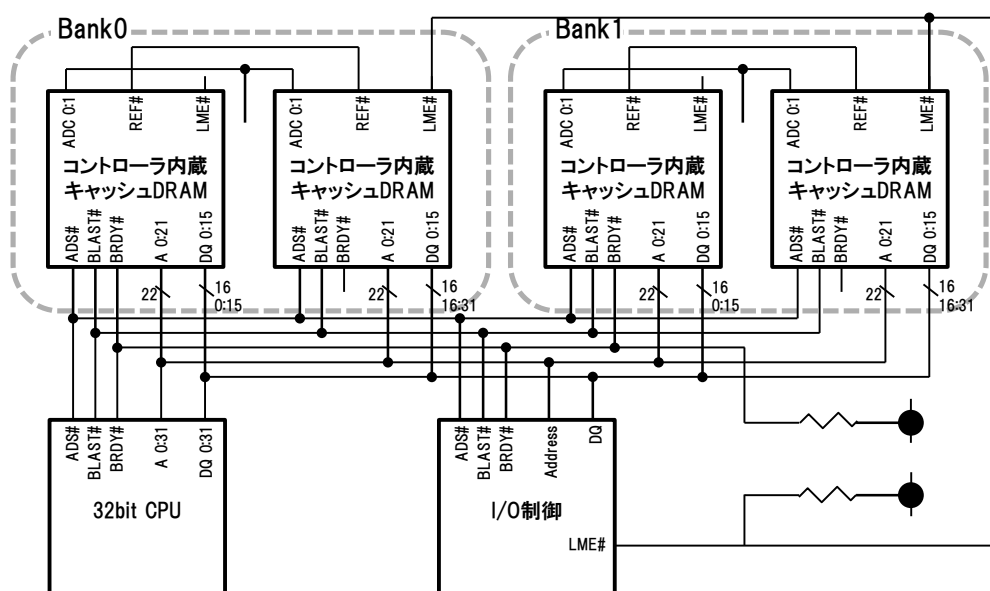


図 3.6 コントローラ内蔵キャッシュ DRAM を使用したシステム構成図

3.3.1 外部インターフェース仕様

今回検討したコントローラの CPU とのインターフェース仕様について図 3.6 を基に説明する。CPU はアクセス要求があると、アドレス（A 0:31）を確定させた上で ADS# をアサートする。これにตอบสนองしてコントローラ内蔵キャッシュ DRAM はデータアクセスを開始し、データが準備できると、データバス（DQ 0:15）にデータを載せた上で BRDY# をアサートすることでデータバス上のデータが有効なものであることを CPU に伝える。以降 CPU が BLAST# をアサートするまでバーストモードにて連続的にデータを送信する。端子 ADC はバンクセレクト入力端子である。各デバイスは ADC を電源投入時に参照して担当すべきバンクを決定する。今回は ADC を 2 ビットとしたので、本機能を用いることで外部にデコーダを準備することなく最大 4 バンクまでのメモリシステムを実装することができる。端子 LME#（Local Memory Enable）はバスの衝突回避を主目的として設けたもので、データバス並びに BRDY# の制御権をメモリが持っていることを通知する信号である。ADC と入力アドレスを比較することで自バンクがアクセスされるか否かを判断し、自バンクへのアクセスの場合には LME# をアサートする。I/O デバイス制御用 LSI はこの LME# がネゲート状態のときのみバスに接続できるように構成することで、後述の投機的読み出しにおいてもバスの衝突が回避できる。さらに I/O デバイス制御用 LSI の論理の簡略化の副次的効果も期待できる。今回試作したテストデバイスは 16 ビット幅の I/O を有する。このデバイスを複数個並べて 1 バンクとすることで 32 ビット幅や 64 ビット幅の CPU にも対応可能なように構成とした。この際配慮すべき項目としてリフレッシュ制御がある。CPU から DRAM の動作を隠蔽してあるので、リフレッシュの制御は全てメモリチップ側で行う必要がある。リフレッシュ動作中に DRAM へのアクセス要求がある場合にはリフレッシュ完了まで DRAM へのアクセス要求を待たせる制御が必要である。このためリフレッシュ動作は少なくとも同一バンクを構成するメモリ間では一斉に行う必要がある。もしバンク内で別々のリフレッシュ制御を行っていると、ある I/O ではデータが準備できているのに、別の I/O はリフレッシュ中でデータの準備ができていない等の

状況が発生するためである。この課題に対処するために同一バンク内のデバイスを REF# 信号で相互を接続し、1 チップをマスタデバイス、残りをスレーブデバイスとアサインすることで同時にリフレッシュを実行できるようにした。マスタデバイスにアサインしたものはリフレッシュタイマで生成するリフレッシュ要求をマスタクロックに同期して REF# 端子より出力し、スレーブデバイスは REF# より入力した信号を自己のもつリフレッシュタイマの代わりに使用することで同期を実現させた。なお記憶保持のみを行うセルフリフレッシュ中は REF# による同期は行わずにそれぞれのオンチップタイマにてリフレッシュ時期を決定するようにした。これはセルフリフレッシュ中に CPU からのメモリアクセスが無いためにリフレッシュタイミングの同期は不要であることと REF# 配線の充放電電力を抑制するためである。

3.3.2 キャッシュ方式

キャッシュのマッピングはフルアソシアティブやセットアソシアティブ方式ではなく、ダイレクトマッピングを採用した。ダイレクトマッピングはキャッシュのヒット率は低い、アドレスが決定すれば、対応するキャッシュメモリのアドレスが唯一に特定されるため読み出しリクエストに対して、投機的な読み出しが可能になる。ダイレクトマッピングによるヒット率の低下はブロックサイズを大きくすることで補償することにした。投機的な読み出し図 3.7 で説明する。まず SRAM と TAG メモリに同時にアクセスする。SRAM データを読み出すと同時に TAG の検索を行い、対象ブロックのデータがリクエストの対象アドレスであるか否かの検索を行う。対象アドレスである、即ち Hit した場合には、BRDY# をアサートして SRAM より読み出したデータが正しいものであることを CPU に伝える。この投機的な SRAM アクセスによりキャッシュヒット時のノーウェイト動作が可能になる。ミスであった場合には BRDY# はネゲート状態を保ち、DRAM よりデータを読み出して、データ出力した時点で BRDY# をアサートし、

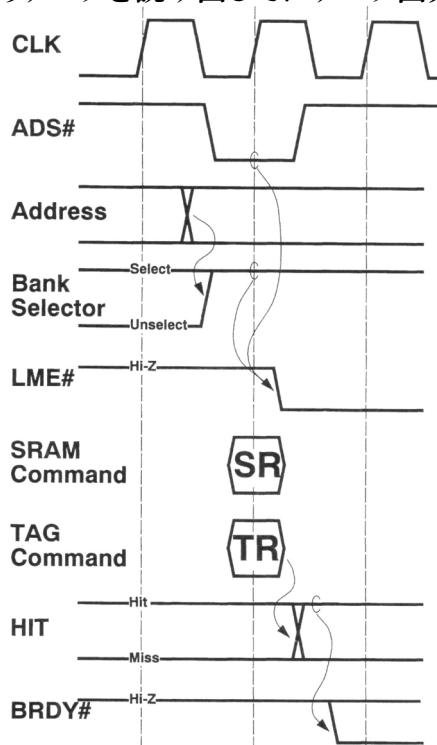


図 3.7 コントローラ内蔵キャッシュ DRAM のインターフェース信号

CPU は動作を継続する。

ヒットライト時の動作は第2章で述べたとおりキャッシュにのみ書き込むコピーバック方式とキャッシュとメインメモリの両方に書き込むライトスルーに分類できる。またミスライト時の動作はキャッシュの更新を行った後にヒットライト時の動作を行うライトアロケートモードとキャッシュのリプレースは行わずメインメモリ上のデータのみを更新するノンライトアロケートモードの動作モードが考えられる。各動作モードはそれぞれ得意とするデータの種類があるので、DRAM の全メモリ空間を複数のブロックに分割して、ブロックごとに動作モードを選択できるように構成した。コピーバックすなわちキャッシュのデータをメインメモリに書き戻す動作は第2章で提案したファストコピーバックを採用した。

3.3.3 シーケンサ

シーケンサは TAG 情報と入力アドレスとの対比を基にチップ全体の動作を司る。図 3.8 にシーケンサの動作タイミングチャートを示す。サイクル C1 及び C19 はキャッシュヒットリードの場合であり、前節で述べたとおり SRAM を投機的に動作させることでノーウェイトでのデータ出力を実現している。サイクル C6 はキャッシュミスリードであって、このサイクルで BRDY# はアサートされない。これ以降 C18 まではページミスかつコピーバックが必要な場合の動作を示している。DTB がマスタスレーブ構成になっていることを利用して、シーケンサの動作順序を工夫することで物理的には4ワードのブロックサイズのキャッシュ DRAM を用いて実質 8 ワードのブロックサイズを実現した。まず DRAM に対して要求のあったアドレスに対して読み出し要求を発行する (C7 から C14) と共に、書き戻すべきデータを BWT コマンドにて DTBW に格納する。この際 BWT は2回連続して発行 (C7 及び C8) し、最初のデータは DTBW のスレーブ段に、2回目のデータはマスタ段に格納する。一回目の DRT が完

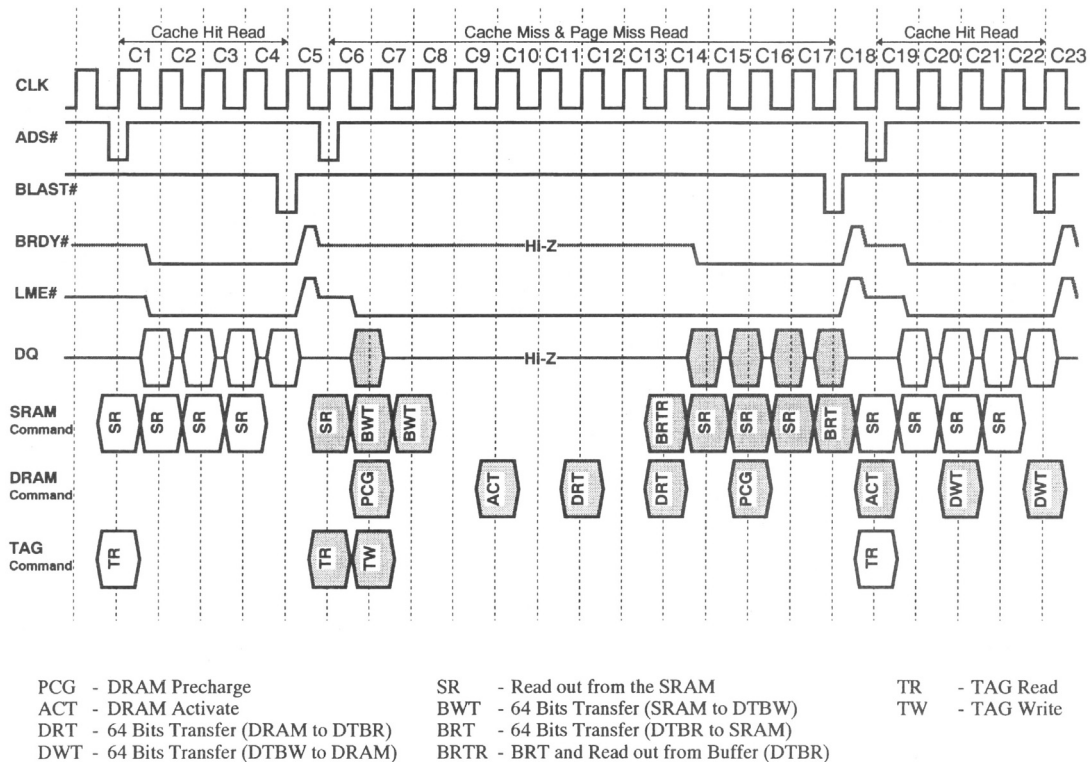


図 3.8 キャッシュ DRAM 用コントローラの動作

了し、要求アドレスのデータが DTBR に格納されると BRTR を発行してデータ出力すると共に SRAM にデータを格納し、更に BRDY# をアサートしてデータバスに要求データを載せたことを CPU に通知する (C14)。以後 SRAM より連続的にデータを読み出す (C15 から C17)。この間に2回目の DRT に対応するデータが DTBR に格納されているので BRT にて SRAM へ転送して SRAM の更新を完了する (C18)。コピーバックすべきデータは未だ DTBW に残っているためサイクル C22 まで使用して DRAM への書き戻しを行う。この間も SRAM へのアクセスは可能であるのでキャッシュにヒットしている限りコピーバック動作は隠蔽され、C19 から C22 のサイクルのヒットリード動作は C1 から C4 のものと同じくノーウェイトでデータ出力する。

3.4 高速化

クロック同期型デバイスの高速化のために、クロックの rise エッジに応答して高速に内部信号を動作させることを目的にクロックバッファ並びに制御信号入力回路の検討を行った。またオープンドレイン出力のネゲートを高速化するためにクロック同期の特質を生かしたアクティブプルアップ回路の検討を行った。

3.4.1 セルフタイムド・クロックバッファ

クロックドライバは同期型インターフェースのデバイス高速化の鍵となる回路である。一般的なクロックバッファは図 3.9 a) に示すようにインバータを直列に接続して、そのトランジスタのゲート幅を順次大きくすることで必要な駆動能力を確保する。クロックドライバで生成されたクロックパルスは、チップ内の各所で使用するために負荷容量が大きく、所望の駆動能力を確保するためには多段のインバータチェーンが必要となる。そのため外部クロック ext.CLK からクロックドライバ出力 CLK までの遅

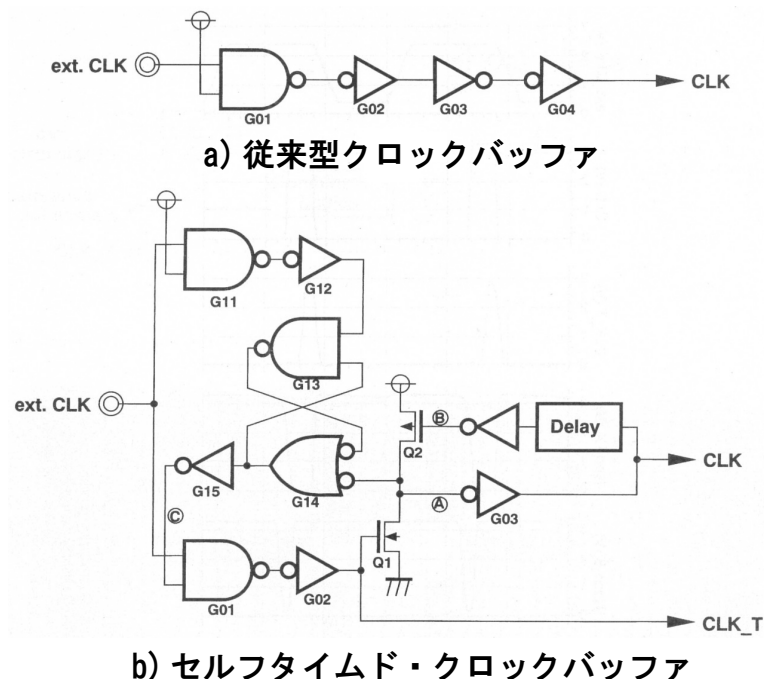


図 3.9 クロックバッファ

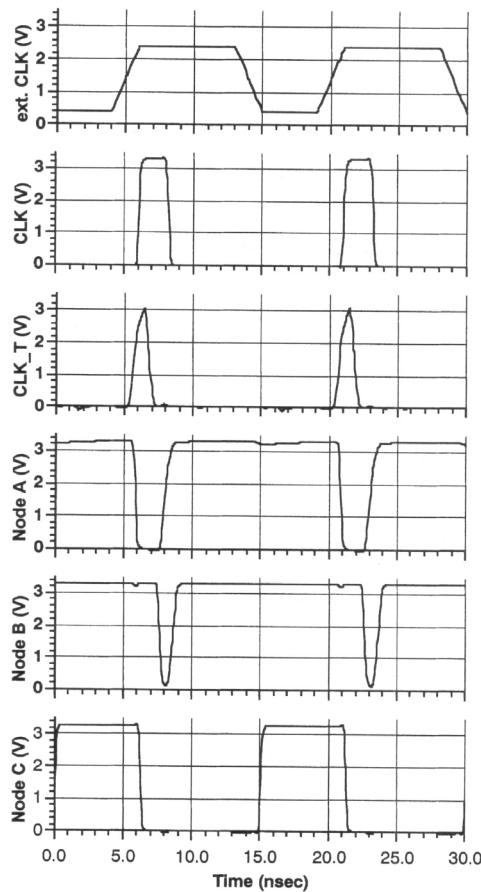


図 3.10 セルフタイムド・クロックバッファのシミュレーション波形

延が大きくなる。このクロックドライバでの遅延はアクセス時間の増大に直結するため、クロックバッファの改良を検討した。図 3.9 b) がテストデバイスに採用したセルフタイムド・クロックバッファである。クロックの‘H’パルス幅を自身の有する遅延回路にて決定する回路とすることで、電流増幅率を上げることができ、段数の削減を実現した。すなわち図 3.9 b) にてインバータ G02 は NMOS トランジスタ Q01 のみを駆動すれば良く、PMOS トランジスタ Q02 も駆動する必要のある通常型に比べて同一遅延時間の制約の下で Q01 のゲート幅を3倍程度にすることができる。PMOS トランジスタ Q02 は出力するクロックパルス CLK の遅延信号（ノード B）で駆動する。このクロックドライバは外部クロック ext.CLK のデューティ比にかかわらずノード A からノード B までの遅延時間で決まる一定の‘H’パルス幅のクロックを生成する。G11 から G15 の R-S ラッチを中心に構成された回路は外部クロックの‘H’パルス幅が内部クロックのものより広い場合に、不要な‘H’レベルを内部に伝播させないためのものである。このクロックドライバのシミュレーション波形を図 3.10 に示す。ext.CLK の rise エッジで CLK_T がアサートされ、それがノード A → CLK に伝播して CLK が‘H’になる。ノード A が‘L’になると G13, G14 の R-S ラッチがリセットされ、ノード C が‘L’になることで G01 は外部クロックの影響を受けなくなる。これにより CLK_T は図に示すとおり短いパルス幅が実現でき、生成するクロック CLK のパルス幅は上述のとおりフィードバックループの遅延時間のみで決定することができる。ノード C の状態は外部クロックが‘H’の期間保持され、‘L’に遷移すると G11, G12 経由で R-S ラッチがセットされて次のクロック rise に備える。

3.4.2 制御信号入力回路の高速化

上記のクロックドライバ回路の NMOS のみ外部信号で駆動し、PMOS は生成した信号の遅延で駆動するという考え方は制御信号生成に応用できる。図 3.11 の回路図に示すとおり、NMOS トランジスタ Q1 にはクロックドライバで生成する CLK_T を接続し、NMOS トランジスタ Q2 には制御信号を活性化するか否かを決定する組み合わせ論理の出力を接続する。この回路は Q2 のゲートを制御する論理を十分高速に動作する配慮は必要であるが、CLK_T に同期した高速な信号生成が可能であり、そのパルス幅は Q3 駆動ドライバの遅延回路で調整できるため制御信号の生成に有用である。試作したテストデバイスでは SRAM のワード線駆動信号や DRAM のカラム系駆動信号の生成に本提案回路を採用し、アクセス時間の高速化並びに DRAM のカラム動作のレイテンシ削減を実現した。

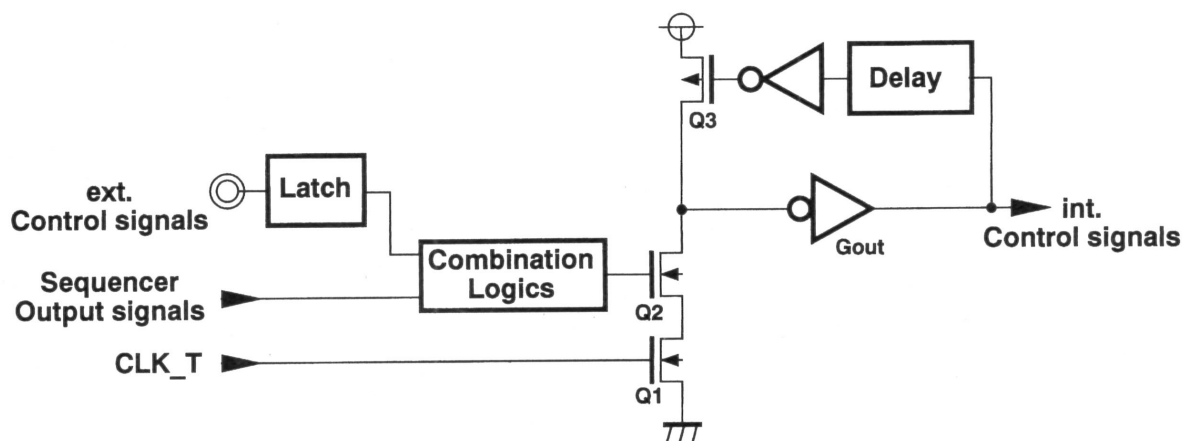


図 3.11 セルフタイムド・クロックバッファの制御信号入力回路への応用

3.4.3 アクティブプルアップ付きオープンドレイン出力回路

3.3 節で述べたとおりテストデバイスのシーケンサは LME# と BRDY# 信号についてはワイヤード OR で接続するためにオープンドレインのドライバである。この構成はデバイス数の増減に柔軟に対応できるメリットがあるが、信号の rise 時間がプルアップ抵抗と配線の浮遊容量で決まってしまうため、高速化が困難である。これに対処するために図 3.12 に示すアクティブプルアップ付きの回路を提案する。通常のオープンドレイン出力回路に NMOS トランジスタによるプルアップ回路を追加したものである。活性化信号 ACT をネゲートすると直ちにリセット信号 RST をアサートして出力端子 OUT を高速に充電し ‘H’ レベルとする。このプルアップ回路に NMOS を用いたのは様々な電源電圧のデバ

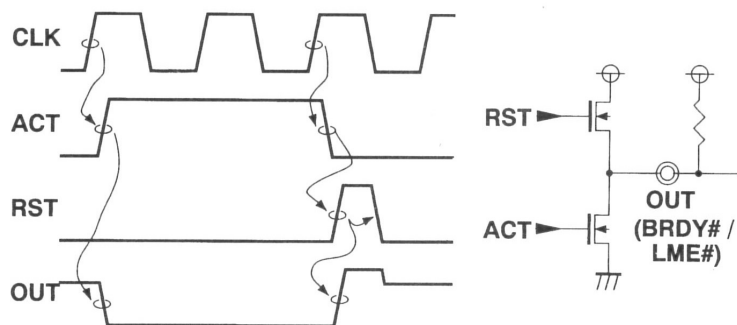


図 3.12 アクティブプルアップ付きオープンドレイン出力回路

イスを接続できるというオープンドレインの利点を生かすためである。即ち、本デバイスの Vdd よりも高い電圧にプルアップされた場合に、ここに PMOS を用いていると本デバイスがラッチアップしてしまうためである。RST はセルフタイムで1クロック周期以内にネゲートされ出力端子 OUT は Hi-Z 状態となり外付け抵抗によって ‘H’ レベルにプルアップされる。即ちネゲート直後の1クロック内でのみ有効となるプルアップ回路である。LME#, BRDY# はいずれも制御を別のデバイスに渡すまでに1クロックのアイドル期間が存在することがバスアーキテクチャ上で保証されており、このアイドル期間を利用することでアクティブプルアップが他のデバイスのプルダウントランジスタと衝突することを回避している。

3.5 テストデバイス

試作したテストデバイスのブロック図を図 3.13 に示す。1Mword × 16 の DRAM アレイと 1kword × 16 の SRAM アレイ、その間を結ぶ 64 ビット幅の DTB で構成されたコンカレントキャッシュ DRAM を中心に、128 エントリの TAG メモリを含むコントローラで構成されている。DTB は 64 ビット幅であ

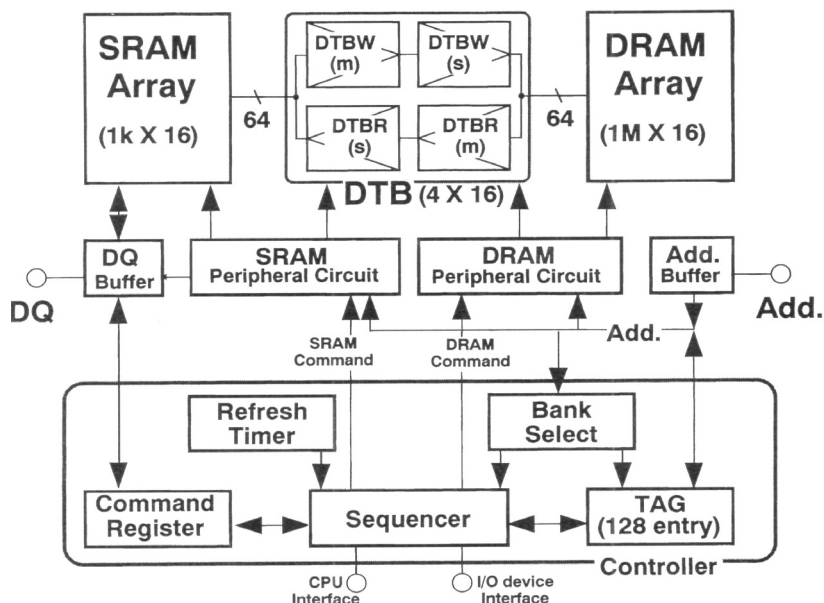


図 3.13 テストデバイスのブロック図

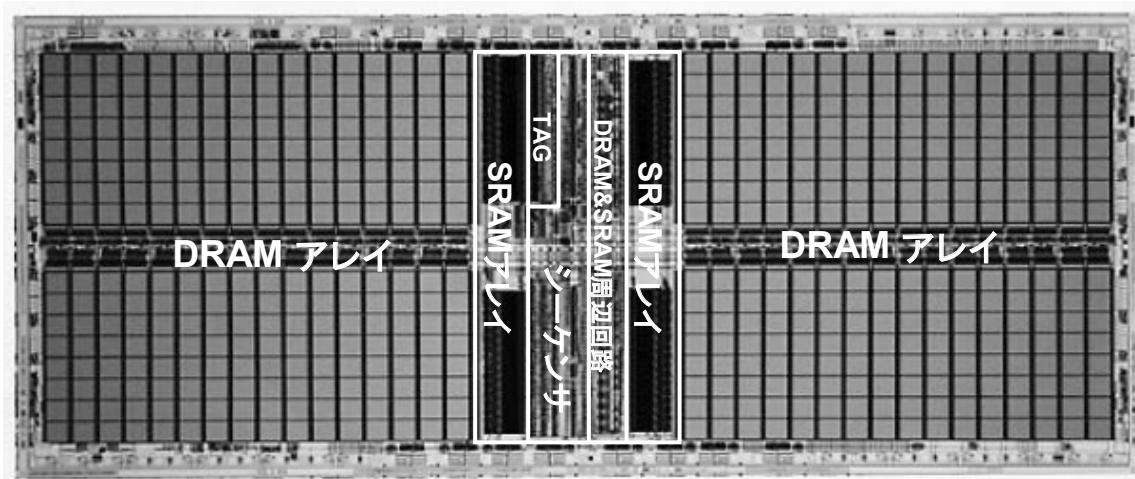


図 3.14 テストデバイスの顕微鏡写真

るがマスタ段とスレーブ段に別々のデータを記憶させることで論理的な 128 ビット転送を実現しており、ブロックサイズは 8 ワードである。試作デバイスの顕微鏡写真を図 3.14 に示す。

第 2 章の試作デバイスと同じく、DRAM アレイの中間に SRAM を配置し更にその間にコントロール回路を配置し、更にコントロール回路に隣接してコントローラロジックと TAG メモリをレイアウトした。DTB と DRAM アレイ間のデータバスは前章のものと同様に DRAM のワード線裏打ち領域に配置した。表 3.1 に主要緒元をまとめる。使用プロセスは 0.55 μ m トリプルウエル、4 層ポリシリコン、2 層メタル

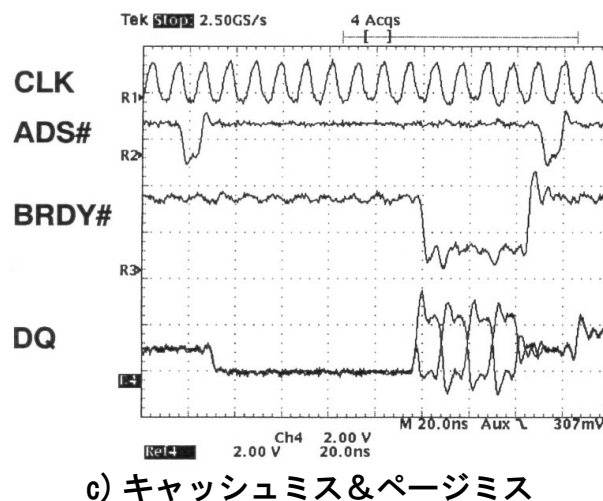
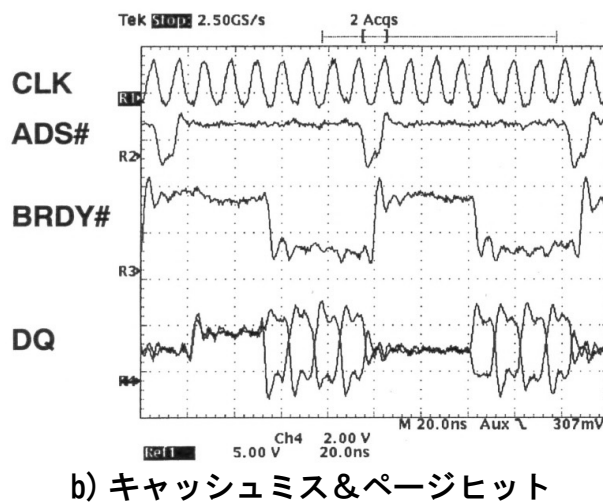
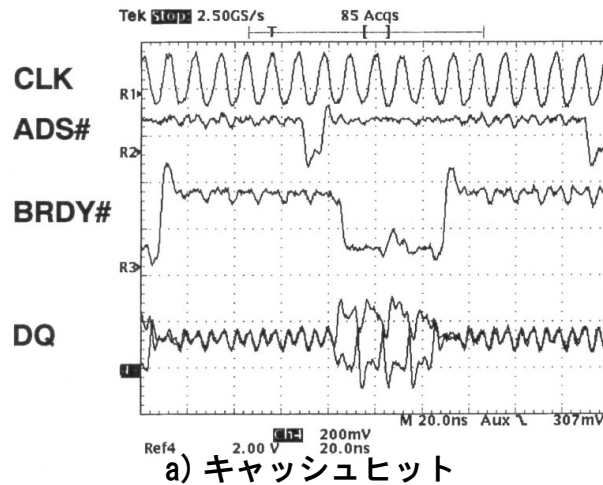


図 3.15 テストデバイスの動作波形

表 3.1 主要諸元

語構成	1,048,576 ワード × 16 (DRAM) 1,024 ワード × 16 (SRAM)
ブロックサイズ	8ワード × 16
DRAM セル	2.7um × 2.8um (スタックトキャパシタセル)
SRAM セル	19.2um × 9.2um
チップサイズ	7.84mm × 18.53mm
クロック周波数	90MHz
電源電圧	3.3V
動作時電流	156mA (@90MHz, キャッシュヒット , パースト) 138mA (@90MHz, キャッシュミス , ページミス , ノンダーティ , パースト) 300uA (スリープ)
プロセス	0.55um トリプルウエル CMOS 4層ポリシリコン 2層アルミ
パッケージ	70ピン 400mil TSOP Type II (0.65mm ピッチ)

の DRAM プロセスである。チップサイズは 145.3mm^2 であり、同一プロセスの汎用 DRAM に対して SRAM 並びにコントローラの機能追加にもかかわらず 12% の増加に抑えることができた。図 3.15 にクロック周波数 90MHz での動作波形を示す。キャッシュヒット時のノーウエイト動作を実現した。

3.6 結言

本章ではユニファイドメモリ構成というシステム側からの要求に対して、コンカレントキャッシュ DRAM を提案した。更にシステムの部品点数削減を目指してコントローラの研究を行い、キャッシュ DRAM に内蔵できる目処を得た。その結果に基づいてテストデバイスを試作し、研究内容の実証を行った。

- 1) キャッシュ DRAM のデータ転送バッファの改良を行い、DRAM へのデータ転送を行う DTBW と DRAM からのデータ転送を行う DTBR のそれぞれをマスタスレーブラッチ構成とした。さらにコマンドを DRAM コマンドと SRAM コマンドに分離して、DRAM と SRAM がそれぞれを独立制御可能とした。以上を組み合わせることで DRAM と SRAM が並列で動作できるコンカレントキャッシュ DRAM のアーキテクチャを提案した。
- 2) コンカレントキャッシュ DRAM の拡張としてキャッシュコントローラを内蔵し、CPU と 2 チップでコンピュータシステムが構成できるコントローラ内蔵キャッシュ DRAM の構成を研究した。マッピングはダイレクトマップ方式とすることで、TAG の検索と並行して SRAM からの投機的な読み出しが可能となり、キャッシュヒット時のノーウエイト動作を実現した。
- 3) 高速クロックへの対応としてセルフタイムド・クロックバッファを提案した。本クロックバッファはポジティブエッジのみ、外部のクロックエッジの遷移に基づいて応答し、ネガティブエッジはポジティブエッジの内部遅延で決定される。本構成によりクロックドライバの段数を削減することができ、クロックアクセス時間の短縮を実現した。さらにクロック周波数によらず一定のクロック 'H' 時間を確保することができた。
- 4) オープンドレイン信号の高速化を目的としてアクティブプルアップ回路を提案した。クロック同期インターフェースであることを利用して、ネゲート時にプルアップ用のトランジスタを 1 クロック以内のパルスでプルアップするもので、これによりオープンドレインの簡単にワイヤード OR が構成でき

るという利点を生かしつつ、ネゲートがプルアップ抵抗のみで行うために応答速度が遅いという短所が解消できる。

- 5) 以上の提案を実証するためのテストデバイスを汎用 16M ビット DRAM プロセスで試作し、90MHz のクロック周波数での動作を確認した。キャッシュヒット時には投機的読み出しによりノーウェイトでのアクセスが可能であることを確認した。

以上のことから、本研究で得られたコントローラ内蔵キャッシュ DRAM はシステム側からの多様な要求に応えることができ、高速化、高機能化へ大きく貢献できることを明らかにした。

参考文献

- [1] A. Yamazaki, et al., "A Concurrent Operating CDRAM for Low Cost Multi-Media," Digest of Technical Papers. Symposium on VLSI Circuits, pp. 61- 62, May 1993.
- [2] Y. Takai, et al., "250Mbyte/sec Synchronous DRAM Using a 3-Stage-Pipelined Architecture," Digest of Technical Papers. Symposium on VLSI Circuits, pp. 59-60, June 1993.
- [3] K. Dosaka, et al., "A 90 MHz 16 Mbit System Integrated Memory with Direct Interface to CPU," Digest of Technical Papers. Symposium on VLSI Circuits, pp.19-20, June 1995.
- [4] K. Dosaka, et al., "A 90-MHz 16-Mb system integrated memory with direct interface to CPU," IEEE Journal of Solid-State Circuits, vol.31, no.4, pp.537-545, Apr. 1996.

第 4 章 混載 DRAM のモジュール化に関する研究

4.1 序

第 2 章および第 3 章では DRAM と SRAM を混載することによる高機能化の研究成果を報告した。さらに第 3 章で報告したコントローラつきキャッシュ DRAM と RISC プロセッサをワンチップ化した高速低消費電力のプロセッサも報告されている。

しかし、半導体プロセスの微細化とともに、様々なシステムをワンチップ化する所謂 SoC が広く使われるようになった。SoC では LSI の中にシステムとして必要なロジックの他に、メモリも必要な容量と構成のものを選択して、ワンチップ化することになる。このような用途には前章までで述べた汎用的なキャッシュ DRAM よりも必要なサイズにカスタマイズすることができる DRAM のマクロが望ましい。ここで DRAM マクロに要求されるものは広いバンド幅と記憶容量や出力ビット幅等を変更できる柔軟性である。また SoC はカスタム製品の特徴として仕様決定から、量産までの期間が短い。このため DRAM マクロはテストデバイスでタイミング調整を行った後は、マスク修正することなく製品へ搭載して、量産化できるよう構成しておく必要がある。

本章では、SoC へ搭載するための DRAM マクロについて検討を行ない、その効果をテストデバイスによって検証した結果を報告する。前章までのキャッシュ DRAM の研究成果を基に、広いバンド幅かつ様々な記憶容量や語長への対応を容易にするメモリアレイ構成を検討した。更にメモリ構成によってタイミングの再設計を不要にすることを目的として オートシグナルマネージメント (ASM) 方式と称する新しいタイミング生成手法を提案する。さらに生産性の観点ではテスト工程の単純化も重要な課題である。LSI テスタはロジックデバイスを検査するためのロジックテスタとメモリをテストするためのメモリテスタが別々に存在するため、DRAM を混載した SoC ではロジックテスタとメモリテスタの両方を用いてテストすることが一般的である。これをロジックテスタのみでテストすることを目的に、BIST (Built In Self Test) の構成の検討も行った。これらの結果を基にテストデバイスを試作し、所望の結果を得た。

4.2 ワイドバンド混載 DRAM コアのアレイアーキテクチャ

第 2 章、第 3 章で検討したキャッシュ DRAM は外部バスを經由して CPU 等と接続されるため、バス幅がせいぜい 64 ビット程度である。また 2 層とメタル層数の少ない汎用 DRAM プロセスで製造することを前提に設計したので、データトランスファバッファ DTB のレイアウト面積縮小が難しく、DTB の横幅は DRAM の 32 ～ 64 カラム分相当と大きく、DTB の個数増大には限界がある。これらのことから、バス幅が広いシステムで使用する場合にはキャッシュ DRAM チップを複数個、並列に配置して使用することを前提とすれば DRAM アレイから同時に出力されるデータのビット数も 64 ビット程度とすることができ、DRAM アレイから効率よくデータを引き出すための手段として図 4.1 a) に示すとおり DRAM アレイのワード線裏打ち領域にデータバスを配置した。

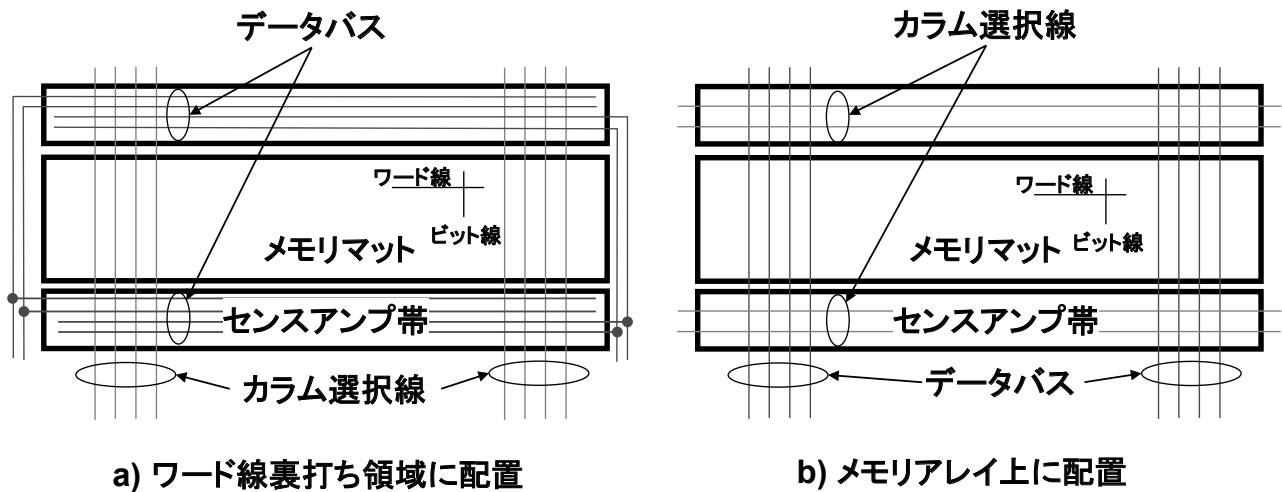


図 4.1 データバスの配置

これに対して SoC では 1 コアより引き出すデータバス幅は 256 ビット程度を要求される。その一方で少なくとも 3 層以上のメタル配線を使用していることとロジック用の微細な周辺トランジスタが使用可能であり、キャッシュ DRAM の DTB に相当する部分の回路も DRAM の 8 カラム分相当で描ける見込みを得た。そこでメモリアレイのアーキテクチャの見直しを図り、図 4.1 b) に示すとおり、カラム選択線をセンスアンプ帯内にワード線と平行に敷設し、データバス線はビット線と平行にメモリアレイ上を走らせることにした。このメモリアレイを図 4.2 に示すようにタイル状に配置することで必要な容量のメモリアレイを作成する。まず単位メモリアレイをワード線の延在方向に複数個並べ、更にこれらのメモリアレイのこれらのワード線を一括制御するローカル制御回路を付加してサブアレイを形成する。このサブアレイを縦方向すなわちビット線の延在方向に積み重ねる。更にメモリアレイに対応する I/O 回路そしてローカル制御回路に対応するマスタ制御回路を備えたコントローラアレイを 1 セット付加してメモリアレイを構成する。このようなモジュール構成とすることで混載 DRAM コアに要求される、様々な記憶容量、語構成のメモリアレイの作成が容易になる。今回のテストデバイスでは更に図 4.3 に示すとおり Type A, Type B, Type C の 3 種類のコアが作れるようにメモリアレイ並びに I/O 回路の個数を変更できるようにした。

TypeB が基本の構成であり、Type A はこれに対して I/O 数を倍増させたもので、バンド幅を稼ぐ

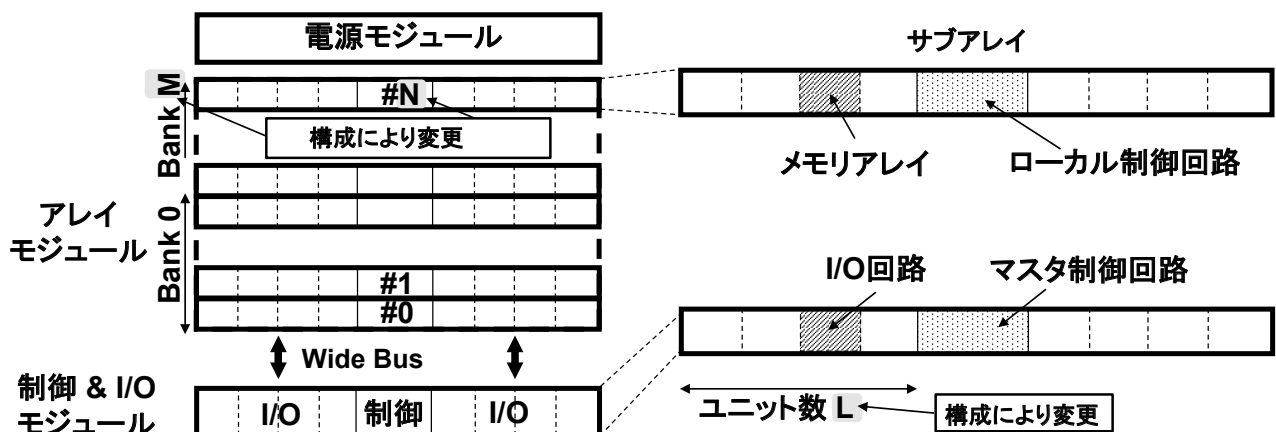


図 4.2 タイルデザインの DRAM コア

必要があるときに適用する。但しワード線長が長くなるために動作周波数は Type B に比べて下がってしまう。Type C は必要 I/O 数が少ないコア向けであり、一度に活性化するメモリセル数が少ないため動作時電力を抑えることができる。このように Type A, B, C を使い分けることで使われる用途により適したメモリコアを構築できる。

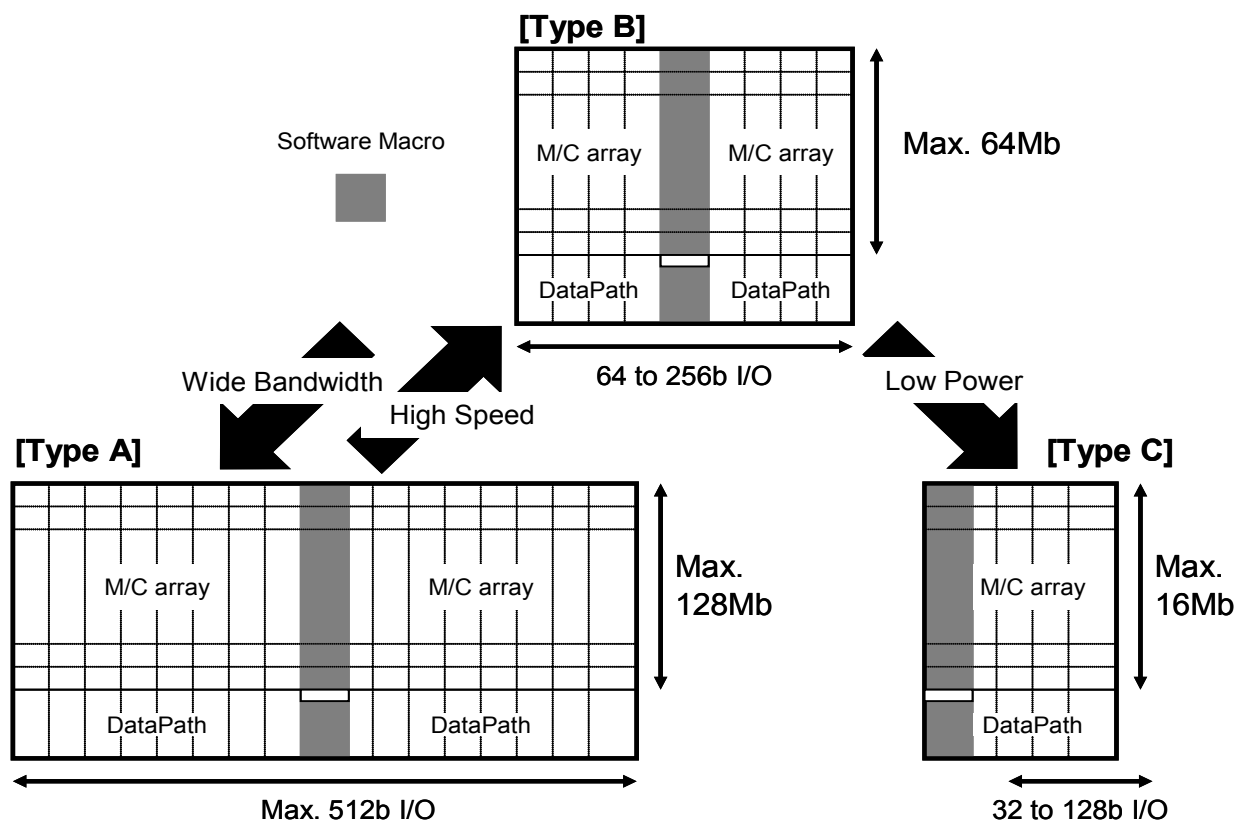


図 4.3 タイルデザインの DRAM コアのバリエーション展開

4.3 オートシグナルマネージメント ASM 方式

以上で述べたタイルデザインの採用により DRAM コアのレイアウト設計の工数削減は実現できた。しかし DRAM コアの構成によってローカル制御回路の個数は変化するため、マスタ制御回路で生成する信号の遅延時間や遷移時間もまた DRAM コアの構成によって変動する。従来はこの変動に対応してシミュレーションや実デバイスでのタイミング調整が不可欠で、これが DRAM コアの生成の TAT を制約する大きな要因となっていた。本節ではこの問題を解決するためにオートシグナルマネージメント方式 (Auto Signal Manegiment) ASM と称する新たな信号伝送方式を提案する。ASM 方式は

- 1) 等負荷配線
- 2) バンク独立ロウ制御信号線制御
- 3) ループバック型読み出し

の3つの要素からなっており、DRAM コアの構成の違いによるシステムティックなタイミングずれをキャンセルできる回路方式である。以下にその内容を説明する。

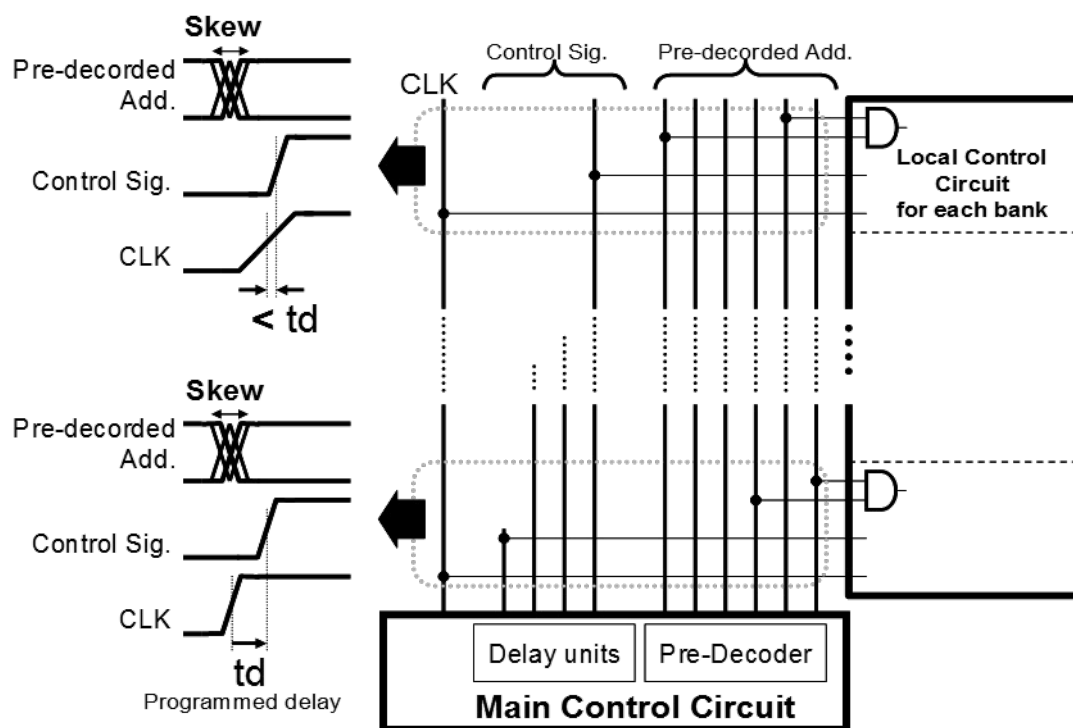


図 4.4 ローカル制御回路にプリデコード後信号を供給

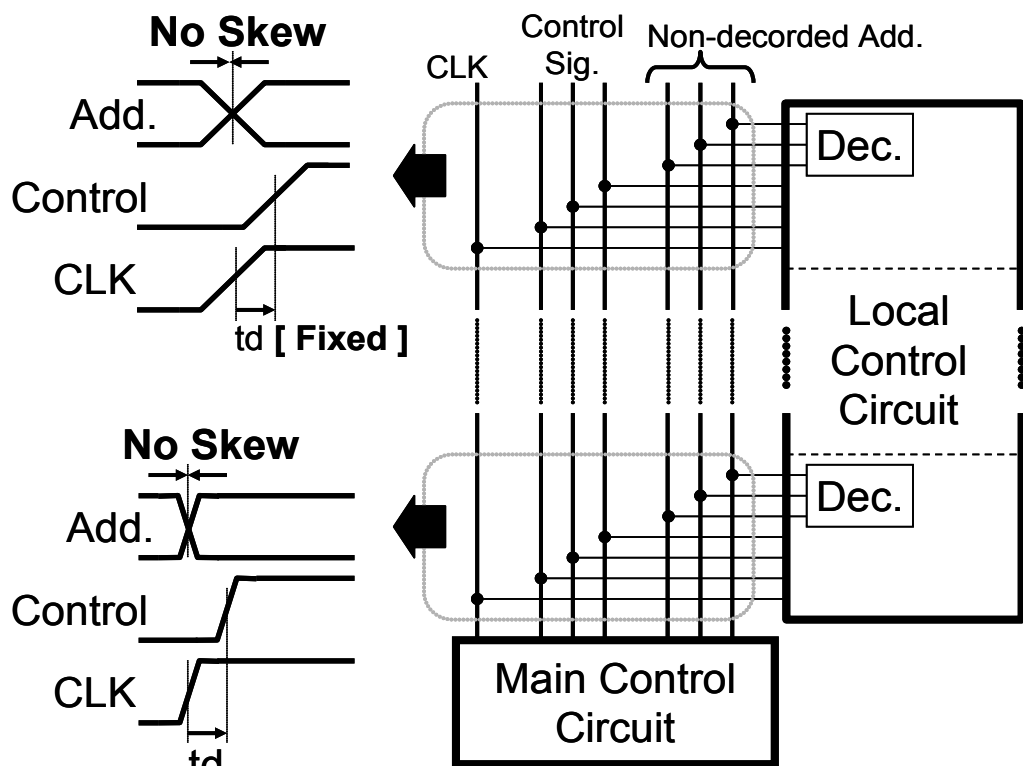


図 4.5 ローカル制御回路にプリデコード前信号を供給

4.3.1 等負荷配線

汎用 DRAM の回路をベースにした混載 DRAM の設計では図 4.4 に示すとおり、マスタ制御回路部分でワード線活性化、センサアンプ活性化、ビット線イコライズ等のタイミング信号とともに、アドレス線もプリデコードしたものをローカル制御回路に分配している。この構成はローカル制御回路の回路規模を小さくする目的には適した方法であるが、接続されるローカル制御回路の数が信号によ

て異なっている。すなわちマスタ制御回路から見た負荷容量が信号ごと異なる。このためマスタ制御回路からの距離によってマスタクロック CLK とその他の信号の伝播遅延 t_d に差が生じてしまう。また各アドレス信号の負荷容量が異なるためにアドレス信号線間のスキューが生じる。今回提案の ASM は図 4.5 に示すとおり、マスタ制御回路よりローカル制御回路に渡される信号はクロックを含め、全てのローカル制御回路に入力する構成とした。このためアドレスのプリデコード等も行っていない。またローカル制御回路の入力容量を揃えるために、全ての信号の初段のバッファサイズを同一サイズにした。その結果各ローカル制御回路の入力ポートにおけるクロックと制御信号の伝播遅延は等しくなる。またアドレス線間でのスキューも解消させることができる。プリデコード信号ではなく、プリデコード前のアドレスを配信することでアドレス信号線の総数も削減することができた。但し本構成におけるローカル制御回路の規模はプリデコードをローカル制御回路毎に持つ必要があることから明らかなように図 4.4 のものに比べて大きくなる。しかし混載 DRAM マクロは図 4.4 あるいは図 4.5 のとおりローカル制御回路の面積はマスタ制御回路の横幅とメモリアレイの高さで決まっており、このサイズより小さくしてもコアサイズには変化がない。今回のテストデバイスにおいてもローカル制御回路の規模増大はコアサイズの増大とはなっていない。

混載 DRAM の容量の増減が伝播遅延の変動を招き、最高動作周波数が変動することは避けられない。従来の構成の混載 DRAM では最高動作周波数を引き出すためには、個別に遅延回路の再チューニングが不可避であった。今回提案の等負荷配線構成とすることで、タイミングの調整なしに常にコアサイズによって決まる最高動作周波数での動作を保障することができる。

4.3.2 バンク独立ロウ制御信号線制御

DRAM のロウ系回路は 1 周期が複数クロックサイクルにまたがる非同期信号群によって駆動される。データ転送性能向上のために DRAM をマルチバンク構成とした場合には、この非同期信号群がバンク数分だけ準備することが必要である。従来の混載 DRAM では非同期信号群をマスタ制御回路で生成して、ローカル制御回路に配信していたが、これでは上述の全ての信号線を全ローカル制御回路に接続するという構成とすることができない。その対策として、図 4.6 に示す通り、ロウ系制御を活性化 (ACT) のステートとプリチャージ (PRE) のステートに分離し、マスタ制御回路では夫々の起動信号の発生のみを行い、実際の DRAM アレイの駆動信号はローカル制御回路で生成する構成とした。活性化タイミングは ActA, ActB, ActC の 3 本の非同期信号の両エッジを用いてメインワード線 MWL、ビット線遮断信号 BLI、ビット線イコライズ信号 BLEQ、センスアンプ活性化信号 SAE をそれぞれ動作させている。これらの非同期信号を生成するための遅延回路はマスタ制御回路内のみ存在すればよく、ローカル制御回路は単にデコードとラッチを持てばよい。ローカル制御回路の該当部分のブロック図を図 4.7 に示す。ローカル制御回路でデコードをする際のハザード対策を不要とするために ActA, ActB, ActC はジョンソンカウンタで生成した。プリチャージタイミングは同様に PreA, PreB の 2 本の信号線の両エッジを用いてアレイ駆動信号を非活性状態に戻す。この ActA,

ActB, ActC ならびに PreA, PreB を複数セット準備することでマルチバンクに対応する。必要なセット数 N_{ACT} は以下の式で定まる。

$$N_{ACT} = \min(N, N_{BANK}) \quad (4.1)$$

$$T_{RRD} \cdot N > T_{RCD} \quad (4.2)$$

ここで N_{BANK} はバンク数、 T_{RRD} は何クロックごとに ACT コマンドを受け付けられるかを示す値であり、 T_{RCD} はアレイの遅延特性から決まる値で活性化に必要な時間である。今回試作したデバイスでは T_{RCD} は 2 クロックであり、 T_{RRD} を最小の 1 クロックとして 3 セットの準備があればよいことがわかる。同様に PreA, PreB は 2 セット必要である。これは従来の混載 DRAM コアが少なくとも 4 セットのタイミング生成回路を準備していたものに比べて回路面積の縮小が図れている。複数の基準信号の何れを用いるべきかを示す信号として ActCounter 並びに PreCounter 信号を準備した。またバンクを選択する信号もアドレス線の一部としてローカル制御部上に配線しており ASM の原則に従って統一されたバッファで信号を受けた後にローカルに配置されたデコーダでデコードし、自バンクへの要求か否かを判定する。自バンクへのアクセスの場合には HIT 信号がアサートされる。HIT 信号がアサートされると ActCounter に従って ActA, ActB, ActC のセットが選択され図 4.6 に示す波形を生成する。

リフレッシュ制御もバンク数を可変にするにあたって考慮が必要なポイントである。リフレッシュに関

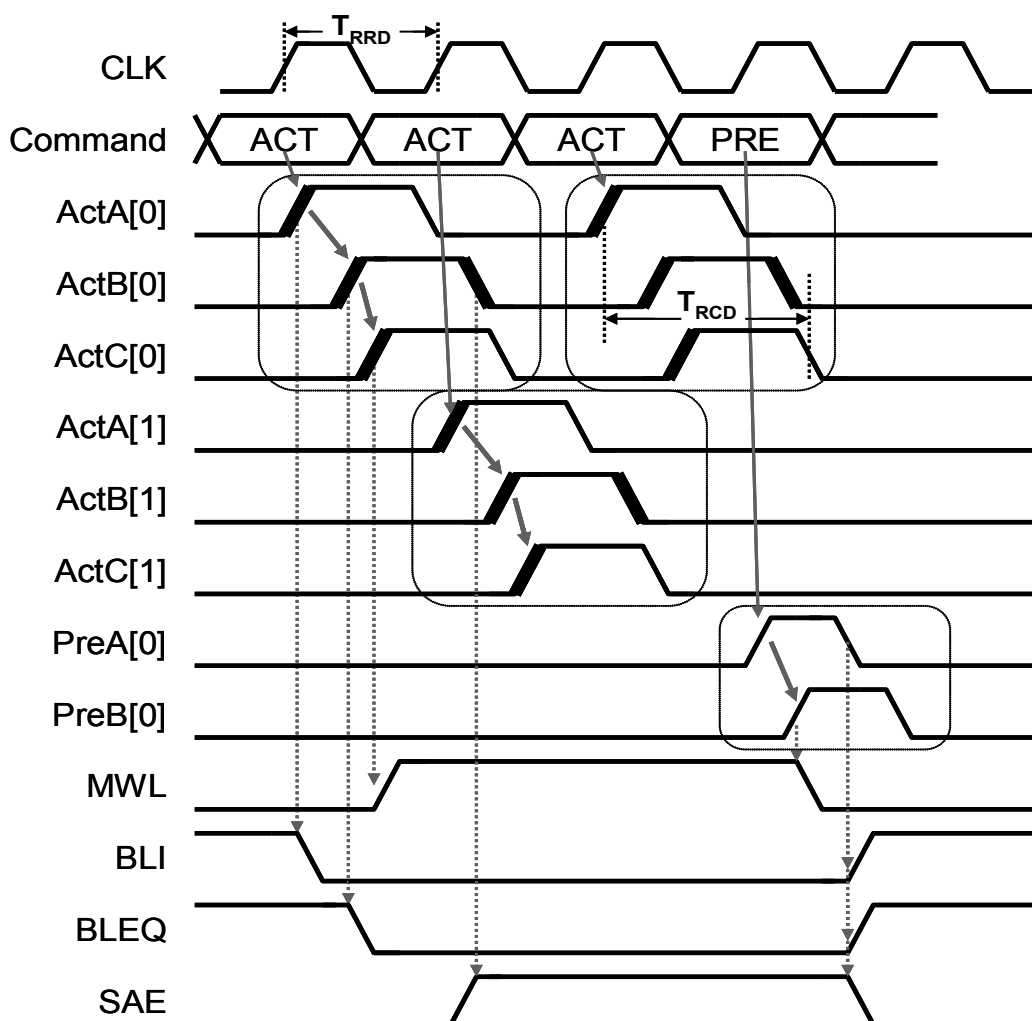


図 4.6 Row 系制御信号の等負荷配線

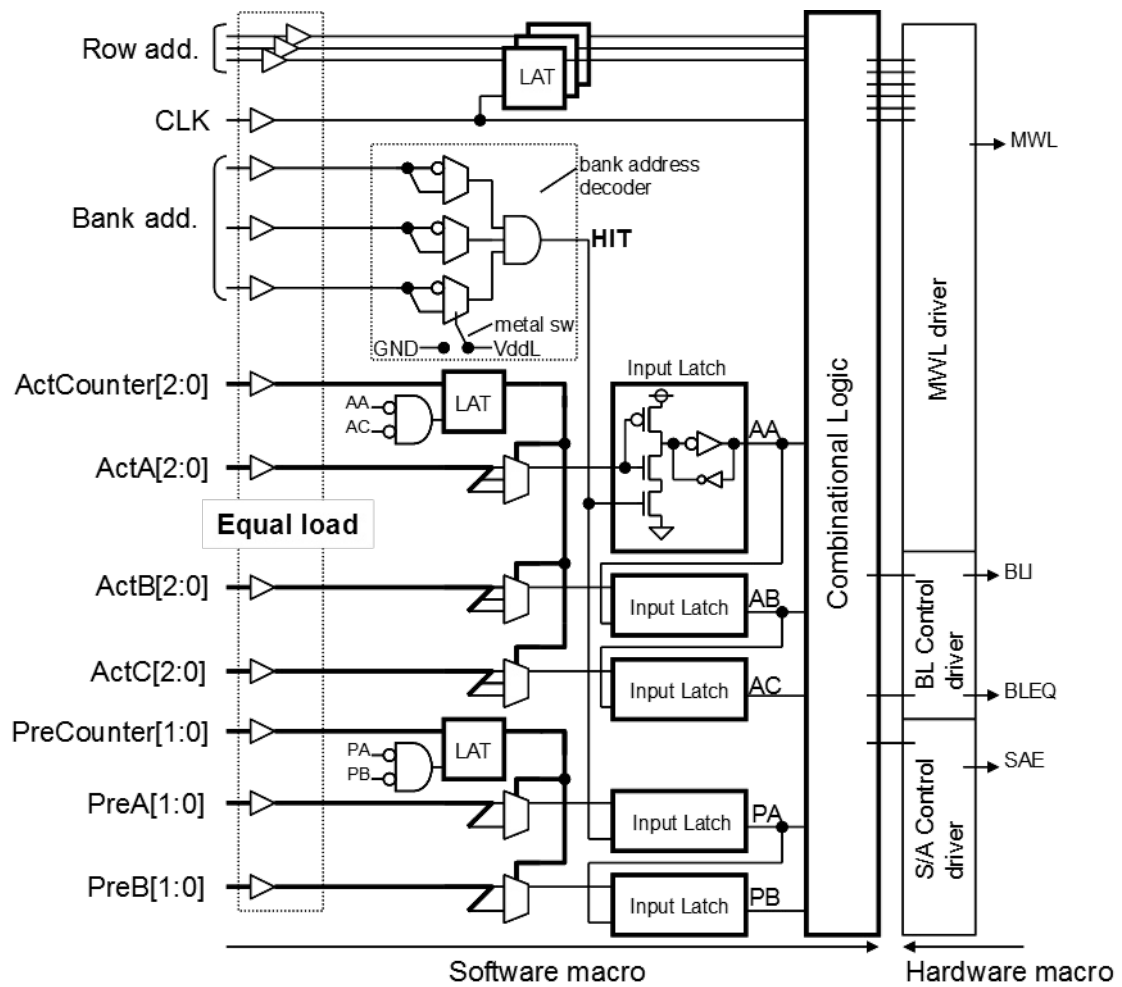


図 4.7 ローカル制御回路の Row 系信号生成部

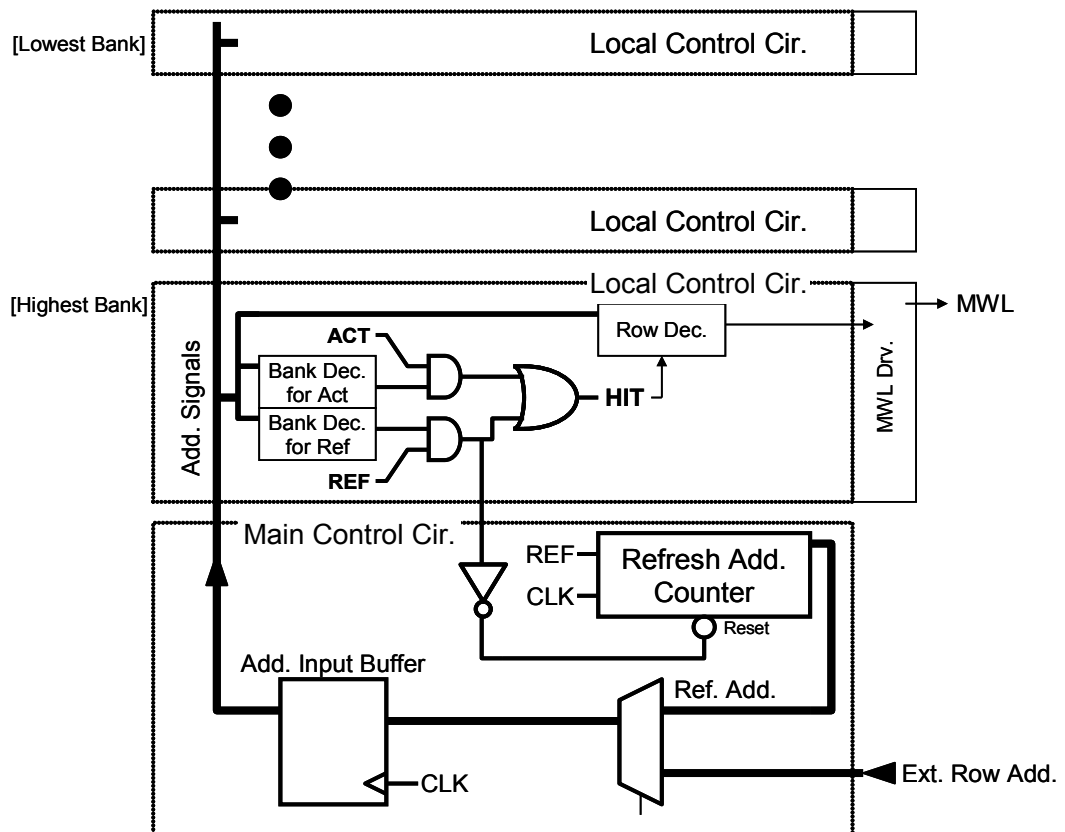


図 4.8 リフレッシュアドレス生成

しては、総バンク数が必ずしも 2^n ではない点とアプリケーションによってはリフレッシュ時と通常動作時で活性化するサブアレイ数が異なる場合があることに考慮する必要がある。これへ対応するために図 4.8 の回路を採用した。総バンク数が 2^n でない可能性があることについては、最上位バンクがリフレッシュしていることを最上位バンクに割り当てたローカル制御回路自身からマスタ制御回路に伝え、これによってマスタ制御回路のリフレッシュアドレスカウンタをリセットすることにした。この最上位バンクからマスタ制御回路への信号によって制御信号線の配線本数が増えることを防ぐために、マスタ制御回路に隣接するバンクを最上位バンクとした。またリフレッシュ時と通常動作時で活性化するサブアレイ数が異なることにはローカル制御回路内のバンクデコーダを ACT 用とリフレッシュ用の 2 系統準備し、それぞれのデコーダを別々にプログラムする構成とした。

4.3.3 ループバック型読み出し

カラム系信号は 1 クロック周期で完結するのでロウ系のように複数サイクルにまたがる制御信号の考慮は不要である。カラム系のタイミング設計で重要な点は、メモリアレイとデータパス間のバス配線とローカル制御回路上のタイミング制御信号の伝播遅延である。書き込み用カラムデコーダ活性化信号 CDEW と書き込みデータ線 WD は同一方向に伝播する。しかし読み出しは読み出し用カラムデコーダ活性化信号 CDER と読み出しデータ線 RD の伝播の向きが逆になる。そこで図 4.9 に示すようにまず、CDER を最遠端まで伝播させ、最遠端部での RD のイコライズ信号を生成した後、バッファリングしてループバックさせた。このループバック後の信号を各ローカルデコーダで使用する。さ

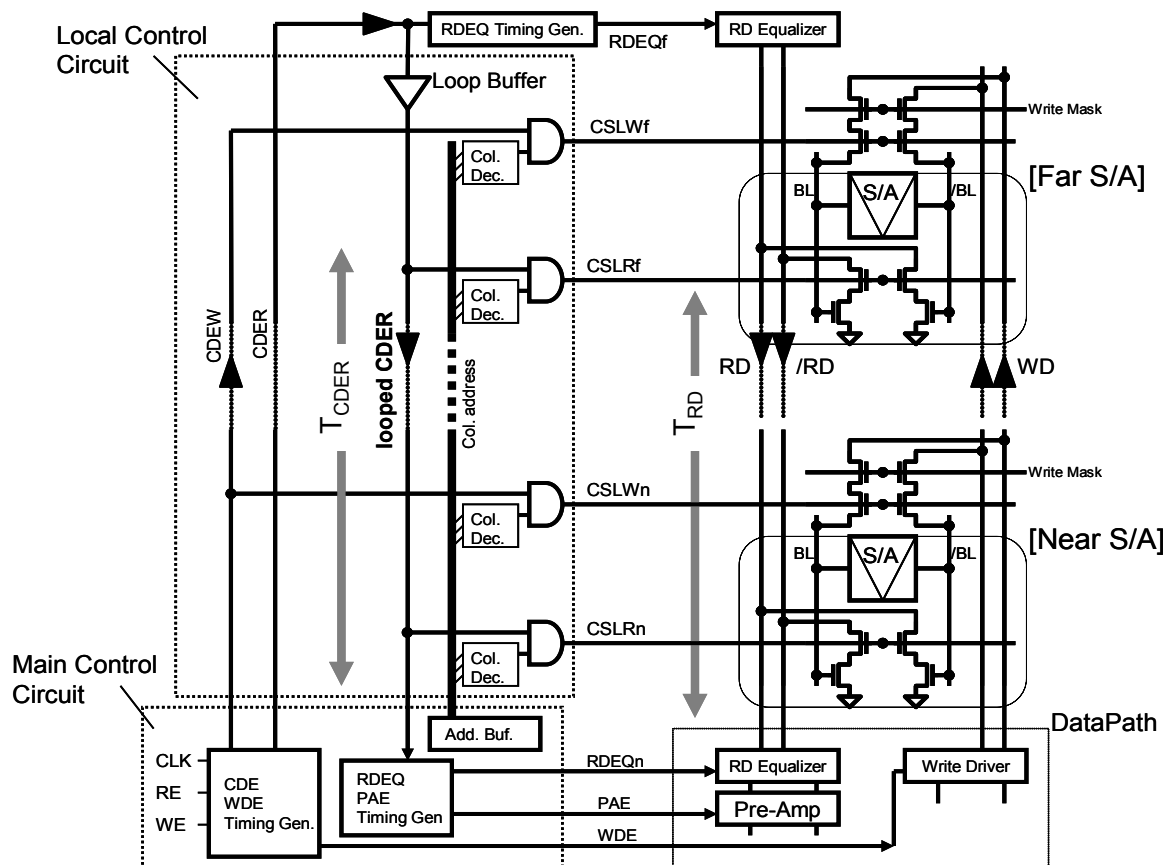


図 4.9 ループバック型読み出しに対応したカラム系制御回路

らにマスタ制御回路戻ってきた CDER を基に RD のイコライズ信号や RD の信号を増幅するプリアンプの活性化信号 PAE を生成する。この CDER をループバックさせる手法は従来の制御回路に比べて読み出しの高速化が実現できることを以下に説明する。

図 4.10 はループバック型読み出しを行わない従来の読み出し方式での動作波形で、その読み出しサイクル時間 T_{CSL} は

$$T_{CSL} = T_{PAE_C} + T_{PW} + T_{EQ} \quad (4.3)$$

$$T_{PAE_C} = T_{CDER} + T_{RD} + T_{RDT} \quad (4.4)$$

より

$$T_{CSL} = T_{CDER} + T_{RD} + T_{RDT} + T_{PW} + T_{EQ} \quad (4.5)$$

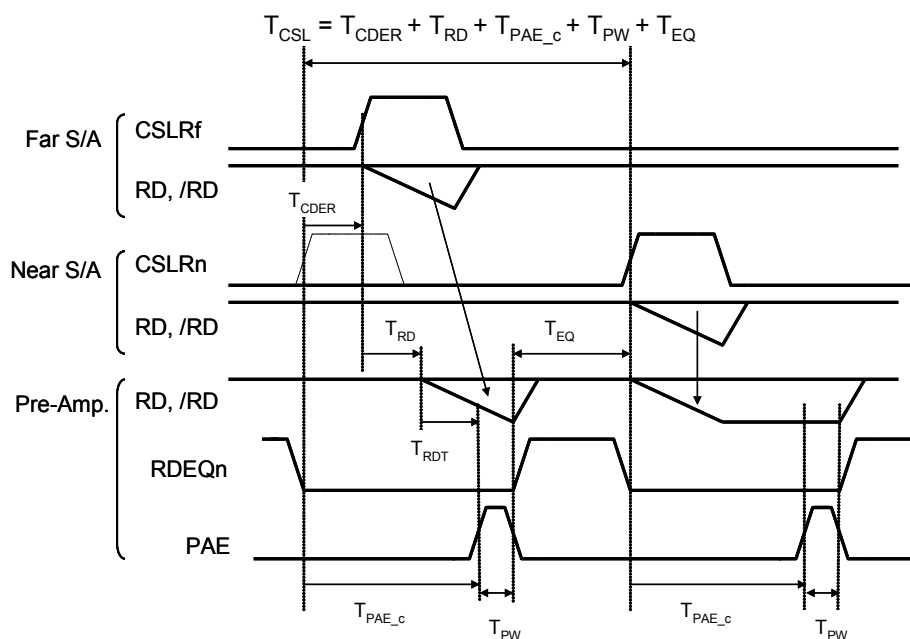


図 4.10 従来型のカラム系制御における動作波形

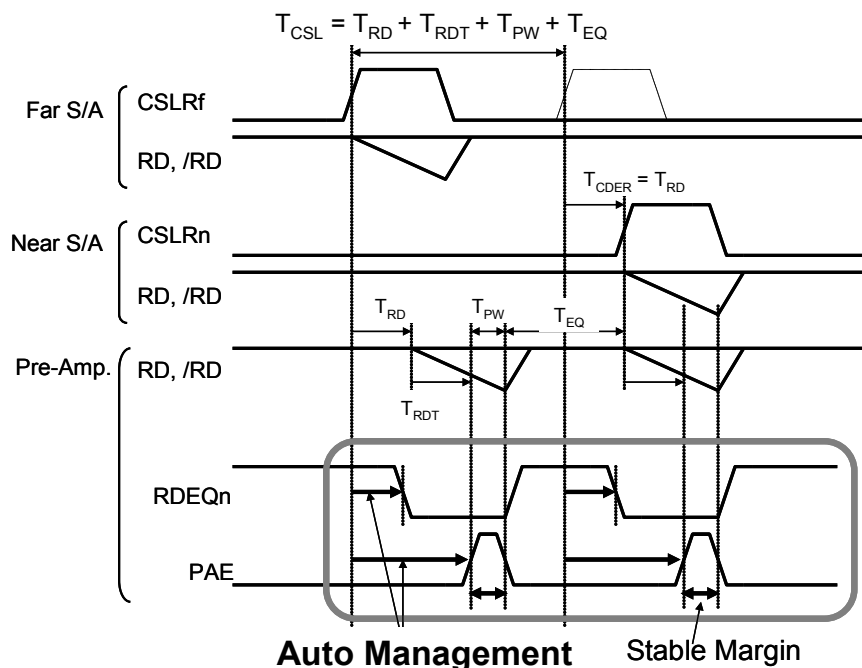


図 4.11 ループバック型読み出し方式における動作波形

となる。ここで T_{PAE_C} は最遠端バンクのカラム選択線 CSL 活性化後に PAE を活性化できるまでの時間、 T_{CDER} は CDER のマスタ制御部から最遠端ローカル制御部までの伝播遅延、 T_{RD} は最遠端アレイ選択時の RD の伝播遅延、 T_{RDT} は RD の遷移時間、 T_{PW} はプリアンプが信号増幅に要する時間、 T_{EQ} はイコライザによって RD と /RD をイコライズするのに要する時間である。 T_{PAE_C} 相当の時間はマスタ制御部で最遠端バンクからの伝播遅延を模擬して、遅延回路を使用して生成するために、遅延回路のプロセス、電圧、温度によるばらつきの影響を受ける。

次にループバック型読み出しを採用した場合を図 4.11 に示す。 T_{CSL} は

$$T_{CSL} = T_{RDT} + T_{PW} + T_{EQ} \quad (4.6)$$

となり、 $T_{CDER} + T_{RD}$ 分だけサイクルタイムの短縮が可能である。クロックの立ち上がりからプリアンプ入力端での RD 対の振幅が所望の電位差となるまでの時間はセンスアンプとプリアンプの距離によらず常に一定である。またプリアンプを活性化するまでの時間に相当する T_{CDER} はループバック CDER の採用によってメタルの配線遅延として自動調整され、従来のような遅延回路に比べてばらつき要因が少なく、安定したタイミング制御が可能である。

以上述べたとおりカラム系に関しても、再チューニングなしにアレイサイズで決まる最高動作速度で動作させることが可能であるのみならず、従来構成に比べて動作周波数を向上できることを示した。

4.4 セルフテスト

DRAM コアを搭載した SoC の生産性の観点では、テスト工程の複雑化が課題になる。LSI テスタは論理回路のテストを主眼にしたロジックテスタと、大容量メモリのテストに主眼を置いたメモリテスタが存在する。SoC の論理回路のテストにはロジックテスタが不可欠であるが、一般のロジックテスタは本章で述べているような大容量の DRAM コアのテストに必要な機能を搭載していない。このためロジックテスタとメモリテスタを準備し、ロジック部をロジックテスタで、混載 DRAM コアをメモリテスタでテストすることが一般である。しかし、これはテストのフローが複雑なためテストコストの増大につながる。この課題を解決する方法として DRAM コアをテストするための BIST (Built In Self Test) 回路を開発し、SoC のテストをロジックテスタに一本化することとした。なお混載 DRAM コアにおいても汎用 DRAM と同じく欠陥ビットを救済する冗長回路技術の適用は歩留まり確保のために必須である。この冗長回路の使用にあたっては冗長回路の使用の可否ならびに使用するべきアドレスの判定を行う必要がある。このため今回開発した BIST には冗長判定回路をも備えたものとした。

開発した BIST 回路のブロック図を図 4.12 に示す。パターンジェネレータ、パスフェイル判定回路、冗長判定回路並びにこれらの回路と外部との接続をするための JTAG インターフェースで構成されている。これらの回路はパイプライン並びにインターリーブ動作をさせることで 250MHz でのテストを可能にした。

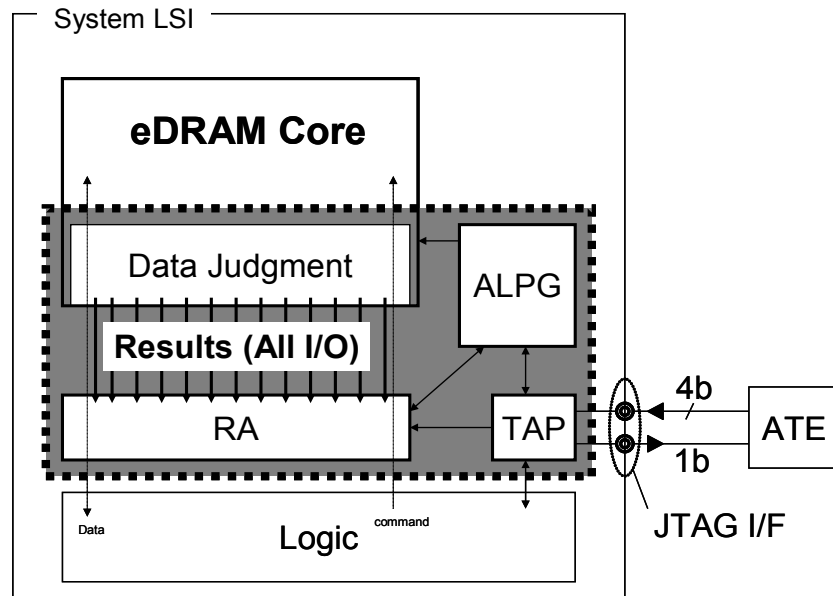


図 4.12 混載 DRAM コア向け BIST 回路のブロック図

4.4.1 パターンジェネレータ

パターンジェネレータ（Algorithmic Pattern Generator）部を図 4.13 に示す。メモリテストで一般的に用いられるマイクロインストラクションベースのシーケンサがその中心的な構成要素である。テスト時には DRAM コアの入出力端子を SoC のロジック回路部分から切り離し、パターンジェネレータと接続する。その上でパターンジェネレータよりコマンド、アドレス、書き込みデータならびに期待値データを DRAM コアに供給する。DRAM コアのテストに必要な全パターンの生成を小さな面積オーバーヘッドで実現するためにパターンメモリを SRAM で構成し、JTAG 経由で外部からパターンメモリにコードを書き込む方式とした。この SRAM 型パターンメモリ方式は予め内蔵の ROM にテストパターンを書き込んでおく ROM 方式に対してテスト時にパターンメモリの頻繁な書き換えは必要であるが、テストパターンの種類の多い DRAM のテストにはメモリの総容量が少なくてもよい。シーケンサ以外に、パターンジェネレータの動作に対応して冗長救済判定部の制御を行う、さらには外

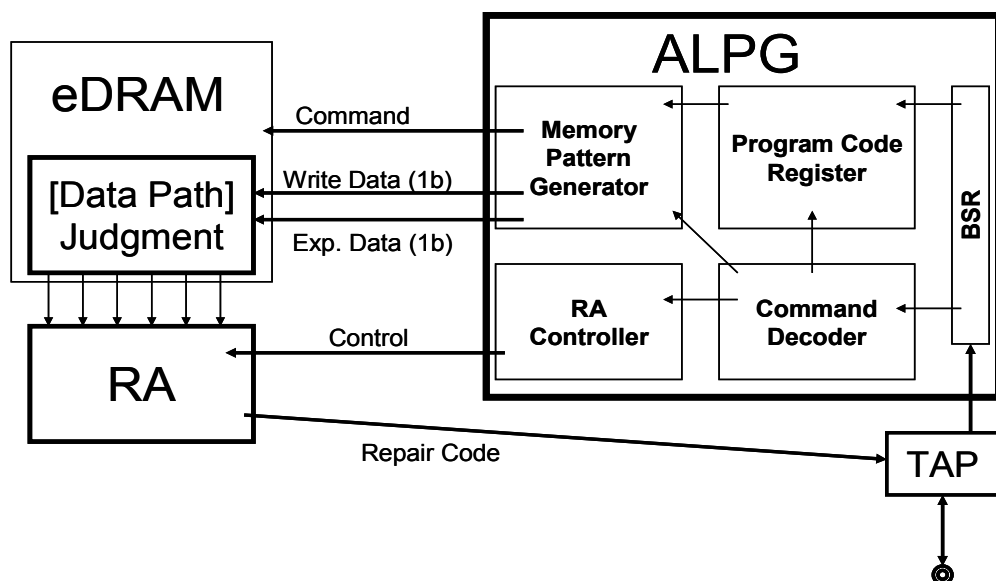


図 4.13 パターンジェネレータのブロック図

部とのインターフェースのための TAP の制御も担当する。

4.4.2 パス／ファイル判定

I/O 毎に入出力アンプと一体化させて、パス／フェイル判定回路を実装した。図 4.14 に II/O 分の判定回路を示す。読み出しデータの期待値データとの比較（パス／フェイル判定）並びに書き込みデータの生成と、判定結果の蓄積を行う。パターンジェネレータから出力された期待値データならびに書き込みデータはコンプリメントレジスタ CR に記憶された値との排他的論理和演算を行い、その結果を IO 毎の期待値データ、書き込みデータとして用いる。各コンプリメントレジスタは JTAG レジスタとして実装してあるので、テスト毎に異なる値を外部からロードすることが可能である。これによって様々なバックパターンでのテストを実現している。パス／フェイル判定を蓄積するフェイル蓄積レジスタ FACR も備えている。これは冗長回路における置換の最小単位内の不良を 1 個の不良として処理するために設けており、このレジスタの蓄積開始及び終了を制御する信号もパターンジェネレータ部で生成する。このフェイル蓄積レジスタの出力は次に述べる冗長救済判定部への入力となっている。

4.4.3 冗長救済判定

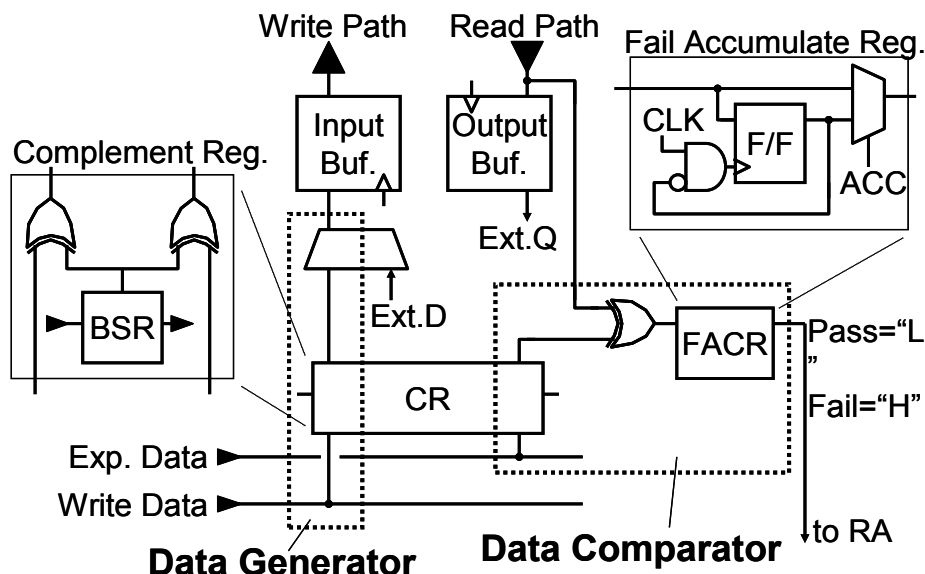


図 4.14 パス／フェイル判定回路

今回試作したテストデバイスは少ない冗長ビットで多くの不良を救済する即ち冗長救済効率向上を目的として、ある特定ビットの不良を複数の冗長ロウまたは冗長カラムのいずれによってでも置換構成とした。このため、本テストデバイスの冗長救済判定は単に不良ビットを記憶するのではなく、不良ビットが存在したときにそれを複数存在する冗長ビットのいずれで救済するか判定も必要である。これに対応した冗長救済判定回路を図 4.15 に示す。不良ビット位置を記憶するエラーストレージ ES (Error Storage Register) と、エラーストレージに格納された不良情報を解析して救済に使用する

べきスペア行, スペア列を決定するリペアアナライザ RA (Repair Analyzer) で構成されている。エラーストレージは読み出しコマンド実行毎に FACR の出力とパターンジェネレータからアドレス情報を受け取り、不良アドレスビットマップ情報を保持する。リペアアナライザはエラーストレージに格納された情報を用いてリアルタイムに何れの冗長回路を使用すべきかの判定を行う。テストが完了すると置換すべきロウ及びカラムのアドレス情報がリペアアナライザ内のレジスタに蓄積される。これを JTAG 経由で読み出し、アドレス情報に従ってヒューズを選択的にレーザブローすることで救済が完了する。

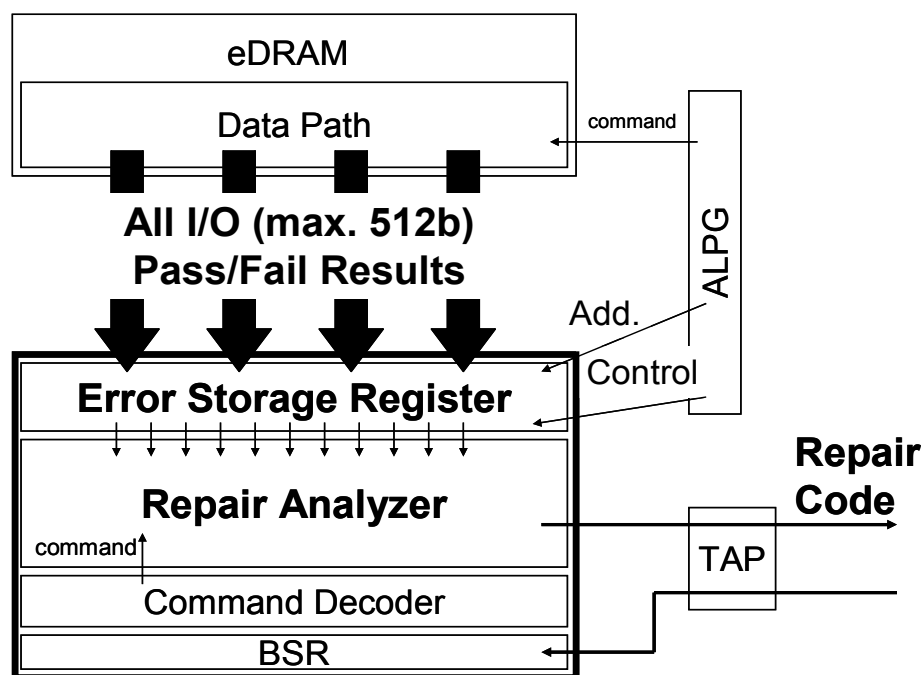


図 4.15 冗長救済判定回路

4.5 テストデバイス

以上の提案の実証のために図 4.16 に示す ASM 及び BIST 搭載の 16 バンクの 32M ビットのテストデバイスを試作した。

トリプルウェル、2 層 Tox, Co サリサイド使用の 4 層メタル 0.18 μ m 混載 DRAM プロセスを使用しており、DRAM マクロのサイズは 23.1mm² である。マクロの主要諸元を表 4.1 にまとめる。電源電圧は周辺回路用の VddL と、DRAM アレイ駆動用の VddH の 2 種類であり、VddL の範囲が 1.2V ~ 1.8V と広いことも特徴である。

この広い VddL マージンは新しく開発した図 4.17 に示す 2 段 CVSL (Cascode Voltage Switch Logic) 型レベルシフト回路により実現した。DRAM アレイ内ではアレイ駆動用に VddH ならびにこれをオンチップで搭載したチャージポンプにて昇圧した Vpp (>3.6V) を使用している。周辺回路の VddL レベルの出力信号を VddH あるいは Vpp レベルの信号に変換することがレベルシフト回路の目的であり、これまでは単純な CVSL 回路を用いていた。これに対して 2 段 CVSL 型レベルシフト回路では、まず 1 段目の CVSL にてセンスアンプ駆動電圧 VddI までレベル変換し、この信号を更に VddH あるいは Vpp の電圧までレベル変換して出力する。この VddI は VddH からオンチップシ

リーズレギュレータにて生成される 2.0V の電源で、外部電源電圧や周囲温度によらず常に一定の電圧を保つため、2 段目のレベルシフタに要求される電圧変動マージンが少なくてもよい。また 1 段目の CVSL を AND ゲートとして構成したことでゲート段数の削減を図った。レベルシフタの入力電圧と遅延時間の関係のシミュレーション結果を図 4.18 に示す。通常の 1 段型レベルシフタでは $V_{ddL}=1.4V$ 付近から遅延時間が急速に大きくなっているが、2 段型とすることで 1.2V でも安定に動作する。図 4.19 にテストデバイスのシミュレーションプロットを示す。 V_{ddH} は 3.3V、周囲温度は室温であり、内蔵 BIST の測定結果である。 $V_{ddL}=1.8V$ にてクロック周波数 200MHz また $V_{ddL}=1.2V$ にてクロック周波数 100MHz で動作することを実証した。2 段レベルシフタ採用の効果で $V_{ddL}=1.0V$ まで安定に動作す

表 4.1 テストデバイスの主要諸元

Technology	0.18 μm 4-metals eDRAM technology triple-well, dual Tox(3.5nm/7.5nm)
DRAM Macro size	23.1mm ² @32Mb
Number of I/O	256b Separated I/O
Supply voltage	$V_{ddL}=1.2-1.8V$, $V_{ddH}=3.3V$
Peak Power @R&W operation	1.16W @1.8V, 200MHz 0.32W @1.2V, 100MHz
Standby Power	680 μW

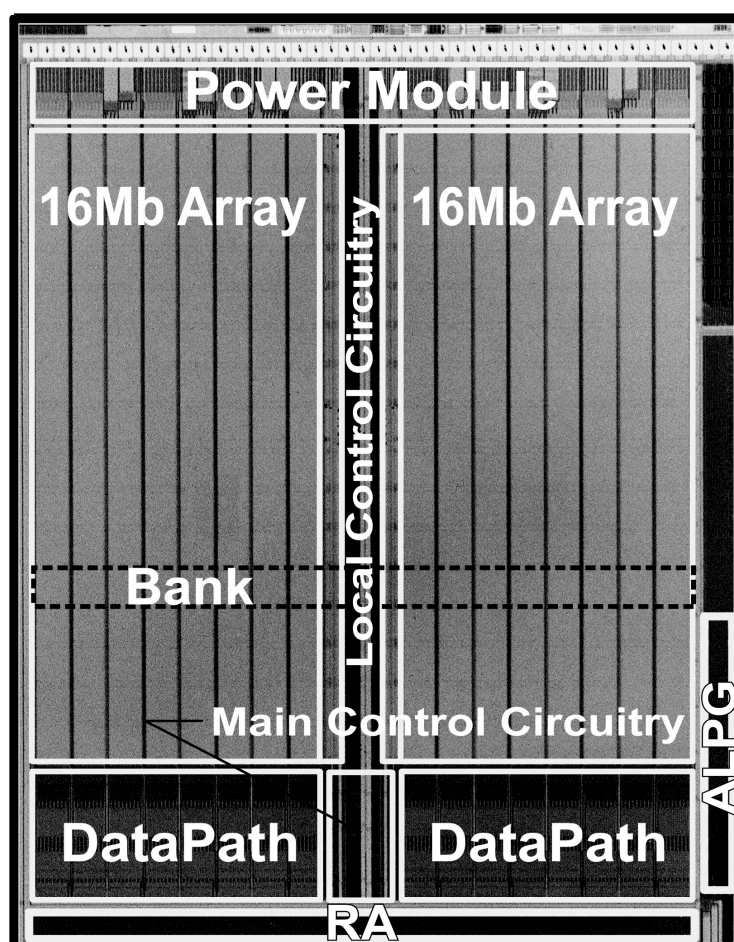


図 4.16 テストデバイスの顕微鏡写真

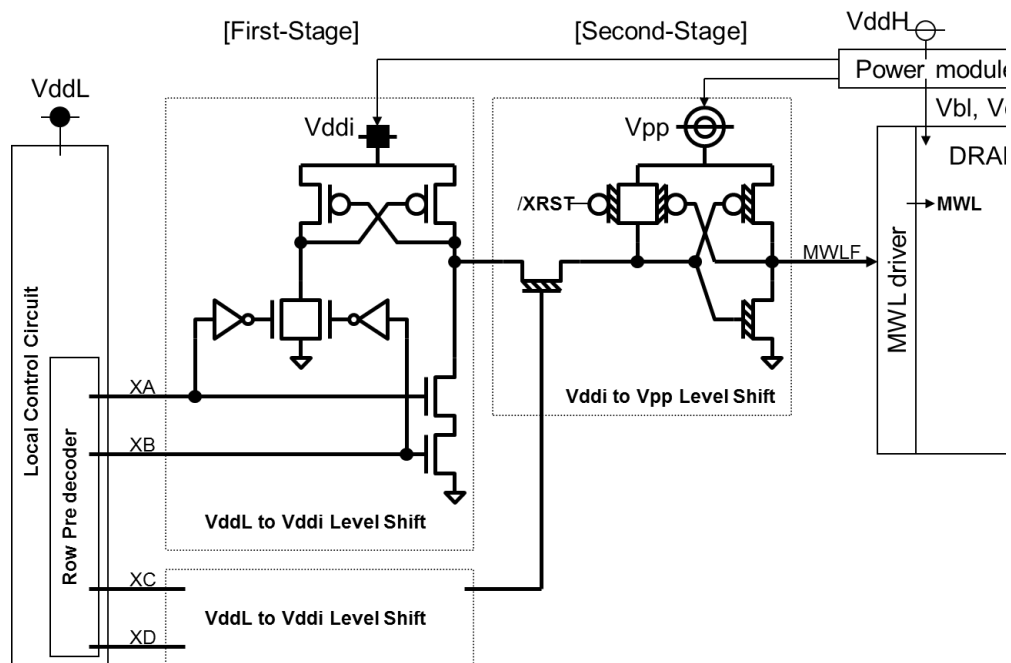


図 4.17 2 段 CVSL 型レベルシフト回路

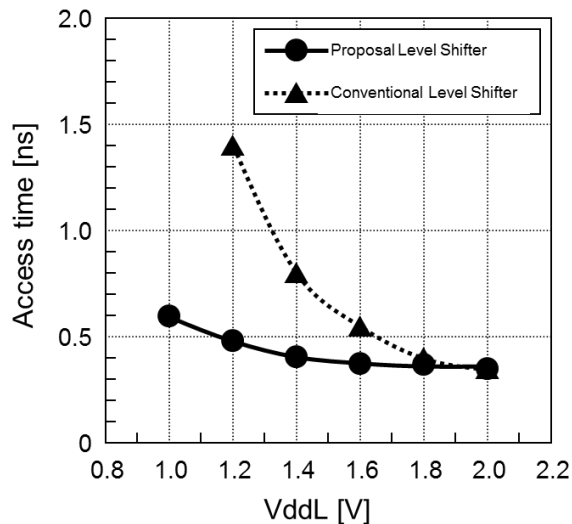


図 4.18 レベルシフト回路の遅延時間比較

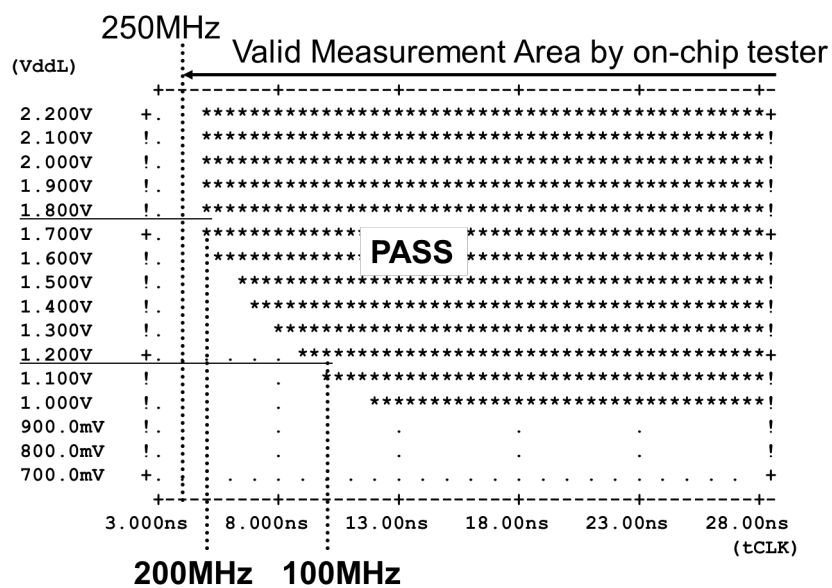


図 4.19 テストデバイスのシューンプロット

ることも確認できた。動作時電力は $V_{ddL}=1.8V$ 、クロック周波数 200MHz にて 1.16W、 $V_{ddL}=1.2V$ 、クロック周波数 100MHz にて 0.32W である。スタンバイ電力は 680uW である。

4.6 結言

本章の研究では SoC への組み込む混載 DRAM について、様々な記憶容量や語構成への対応を目的としてモジュール化することを研究した。さらにその結果に基づいてテストデバイスを試作し、効果を実証した。

- 1) 混載 DRAM コアをモジュール化するためにメモリアレイ、I/O 回路、ローカル制御回路、マスタ制御回路に分割し、これらを適宜配置することで様々な SoC の要求にこたえられるアーキテクチャが実現できた。モジュール構成によらず、タイミングの再設計を不要にすることを目的としてオートシグナルマネージメント ASM 方式を提案した。ASM 方式は等負荷配線、両エッジタイミング信号によるロウ系制御、ループバック型カラム系制御より構成されている。本方式では最高動作周波数はモジュール構成に依存して変わるが、各制御信号間の位相調整が不要であるという特徴を持ち、短 TAT での混載 DRAM マクロの提供が可能になる。
- 2) 等負荷配線はローカル制御ブロックへ入力されるクロック、制御信号、アドレス信号の配線の線幅並びにスペースを一定にすると共に、ローカル制御ブロックの入力バッファサイズを一定にし、さらに送出側の中央制御回路のドライバの最終段のサイズを全て同一のものにした。これによりクロックと各制御信号間あるいはアドレス信号間の遅延量は中央制御回路からの距離のみに依存する。このため中央制御回路におけるモジュール構成ごとの制御信号の位相調整が不要になる。
- 3) バンク独立ロウ制御信号線制御は、複数クロックサイクルにまたがるロウ系制御に等負荷配線を適用することを目的としたものである。DRAM コアの駆動シーケンスに応じて非同期ジョンソンカウンタでタイミングエッジを中央制御回路からローカル制御回路に信号伝送する。この制御信号線群を複数セット準備することでマルチバンク構成への対応が可能となる。試作デバイスの場合 3 セットの制御信号線を準備しておくことで 32 バンクまでの対応が可能であり、多バンク構成時の信号配線の削減にも効果がある。リフレッシュアドレスカウンタはモジュール構成によって、カウンタの最大値を変更するプログラマブルカウンタとする必要がある。このためリフレッシュアドレスカウンタは中央制御回路部に配置し、リフレッシュアドレスのバンクアドレスの割り当てを中央制御回路の遠端を最小とし、以下中央制御回路に向かってインクリメントするようにした。中央制御回路に隣接するローカル制御回路は最上位のリフレッシュバンクであり、このバンク選択信号を使ってリフレッシュカウンタをリセットすることでプログラマブルカウンタを実現した。
- 4) ループバック型カラム系制御は制御信号の伝送方向をデータの伝送方向にそろえるもので、中央制御回路で生成された読み出し系制御信号は、各ローカル制御回路上を通過して最遠端のローカル制御の外側に配置したループバックバッファに伝えて、ループバックバッファ通過後の信号をローカル制御回路に供給する。このように構成することで（ローカル制御回路上の信号配線

長) + (メモリアレイ上のデータバスの配線長) がサブアレイの位置によらず一定となり、モジュール構成ごとのカラム系制御信号のタイミング調整を不要にした。

- 5) SoC の製品テストに用いられるロジックテストはメモリテスト機能が乏しく、混載 DRAM は別途メモリテストでテストしていたが、テストコストの上昇を招くことからメモリコアに BIST (Built In Self Test) を搭載した。搭載した BIST 回路はマイクロインストラクションベースのシーケンサを中心としたパターンジェネレータ部、I/O 毎の入出力アンプと一体化させたパスフェイル判定部、さらには冗長回路により救済のための冗長救済判定部から構成し、従来メモリテストで行っていたテストングをすべてオンチップで行うことができた。これにより SoC のテストをロジックテストのみで行うことが可能になった。
- 6) ASM 方式を採用し、BIST 回路を搭載したモジュール構成 DRAM コアの有用性を確認するために 32Mbit の DRAM コアを 0.18 μ m 混載 DRAM プロセスで試作した。広い電源電圧に対応するためにレベルシフト回路に 2 段 CVSL (Cascade Voltage Switch Logic) 方式を採用した。ロジック電圧 1.8V にてクロック周波数 200MHz、ロジック電圧 1.2V にてクロック周波数 100MHz で動作し、それぞれの消費電力は 1.16W と 0.32W であることを確認した。これによって高速、低消費電力いずれのアプリケーションにも対応できることを明らかにした。

以上、本章での研究は混載 DRAM コアのアーキテクチャとしてバリエーション展開が容易なモジュール構成ならびに回路構成を提案した。またテスト工程の簡略化を目的とした混載 DRAM コア用の BIST 回路を開発した。これらを搭載した試作デバイスでその有用性を実証した。これらにより混載 DRAM コアを搭載した SoC の低消費電力化、高速化、小型化、低コスト化の実現に貢献した。

参考文献

- [1] N. Watanabe, et al., “An Embedded DRAM Hybrid Macro with Auto Signal Management and Enhanced-on-Chip Tester,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp.388-389, Feb. 2001.
- [2] N. Watanabe, et al., “An Embedded DRAM Hybrid Macro with Auto Signal Management and Enhanced-on-Chip Tester,” IEICE Transactions on Electronics, vol. E86-C no. 4 pp. 624-634, Nov. 2003.
- [3] Y. Nagura, et al., “Test cost reduction by at-speed BISR for embedded DRAMs,” Proceedings of the International Test Conference, pp. 182-187, Nov. 2001.

第 5 章 混載 DRAM の高速化、低消費電力化の研究

5.1 序

混載 DRAM は図 5.1 に示すように、標準 DRAM プロセスにロジックプロセスを追加することで実用化が始まった。即ち最先端の DRAM プロセスと 1~2 世代前のロジックプロセスを組み合わせた DRAM ベースの混載 DRAM である。これは混載 DRAM の実用化が始まった当初はまだ SoC が要求する記憶容量を実現するには最先端の DRAM プロセスが必要であったため、動作周波数やゲート密度の観点で同時期の一般の SoC より劣るが、記憶容量を優先しての選択であった。しかしその後の微細化の進展で、必ずしも最先端 DRAM プロセスを使わずとも SoC に内蔵する必要のある記憶容量が確保できるようになってきたため、最先端のロジックプロセスに 1~2 世代前のセルサイズの DRAM を混載したロジックベースの混載 DRAM が主流となってきた。さらに DDR-SDRAM に代表される高速データレートの DRAM が汎用 DRAM の主流を占めたことにより、中程度のバンド幅のデータは別チップに格納できるようになり、混載 DRAM の用途として大容量の SRAM の代替となることも求められるようになってきた [1]~[4]。

このような背景を基に本章の研究は前章の研究成果であるモジュール化された混載 DRAM コアをベースに SRAM と同様に 1 クロックサイクルで動作を完結する混載 DRAM を得ることを目的とする。クロック周波数 250MHz で動作を実現するとともに SRAM に比べて DRAM が持つ本質的な弱点であるリフレッシュが必要ということを隠蔽するために低消費電力のデータ保持モードの開発を目指した。まず 1 クロックサイクルで動作が完結する混載 DRAM を得るために STC 方式並びに NET 方式と称する新しい高精度タイミング制御を提案する。またこのタイミング制御方式の基で低消費電力のデータ保持モードとして PDDR モードの提案を行う。さらにこれらを実装したテストデバイスを 0.13 μm 混載 DRAM プロセスにて試作し、312MHz で動作すること、並びにデータ保持電力 73 μW を確認し、本提案が有用であることを実験的に実証した [5], [6]。

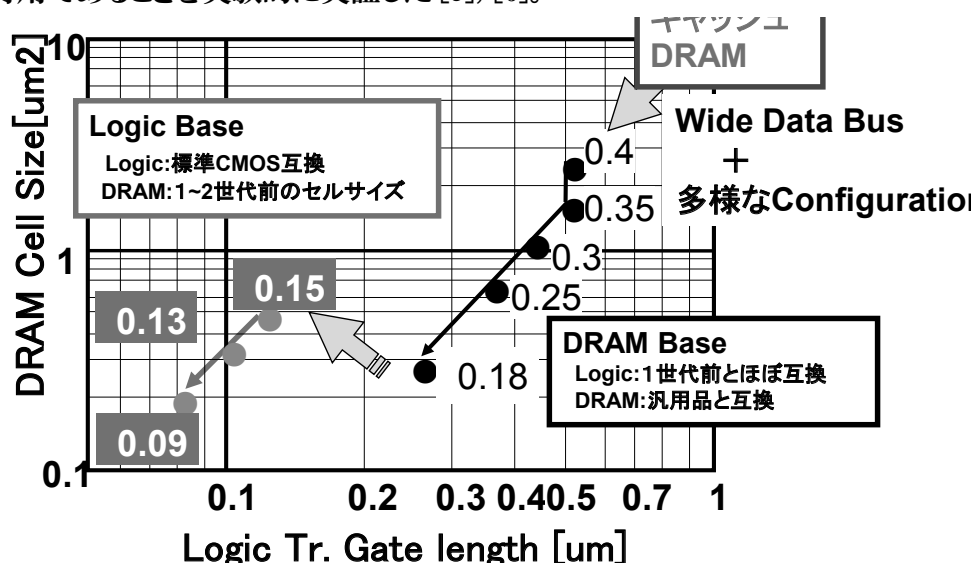


図 5.1 混載 DRAM のプロセス技術の変遷

5.2 超高速 DRAM コアのアレイ駆動

汎用 DRAM、混載 DRAM いずれにかかわらず、DRAM のアレイ動作には多くの位相の異なる信号が必要である。本章の研究の主題である 200MHz 以上のサイクルタイムで動作させる超高速 DRAM においては、より高精度なタイミング制御が必須条件となる。本節ではこの課題に対応するため高精度な遅延を生成することを目的としたセルフタイミングアジャスタブル STC 方式を、さらに生成されたタイミング制御信号を精度を維持したまま DRAM アレイ内に伝播するためのネガティブエッジトランスミッション NET 方式を提案する。

5.2.1 セルフタイミングアジャスタブル STC 方式

DRAM の内部制御信号は内蔵の遅延回路で生成している。このための遅延回路として一般に単純なインバータ遅延回路や RC 遅延回路が使われているが、これらの遅延回路は PVT すなわちプロセス、電源電圧、温度の変動により遅延時間もまた変動する。このことは本章の研究の目的である高速動作の DRAM においては特に顕著になる。まず遅延回路に要求される遅延量を定量化するためにアレイの動作をシミュレーションした。図 5.2 は DRAM においてサイクルタイムがもっとも長くなるライト時のビット線対の動作波形を示している。以下に図中の記号に即して動作を説明する。

- 1) WLon：ワード線を活性化する。その結果、選択されたメモリセルデータがビット線対に読み出され、ビット線対間に電位差が生じる
- 2) SAon：センスアンプが活性化される。これにより上述のビット線対間の電位差が増幅される。
- 3) CSLon：カラム選択線 CSL を活性化する。CSL はビット線対間と I/O 線対間を接続するトランジスタのゲート信号であり、予め I/O 線に載せてある書き換えデータに応じてセンスアンプが反転する。このときワード線は活性化され続けているのでセンスアンプのデータがビット線対を介してメ

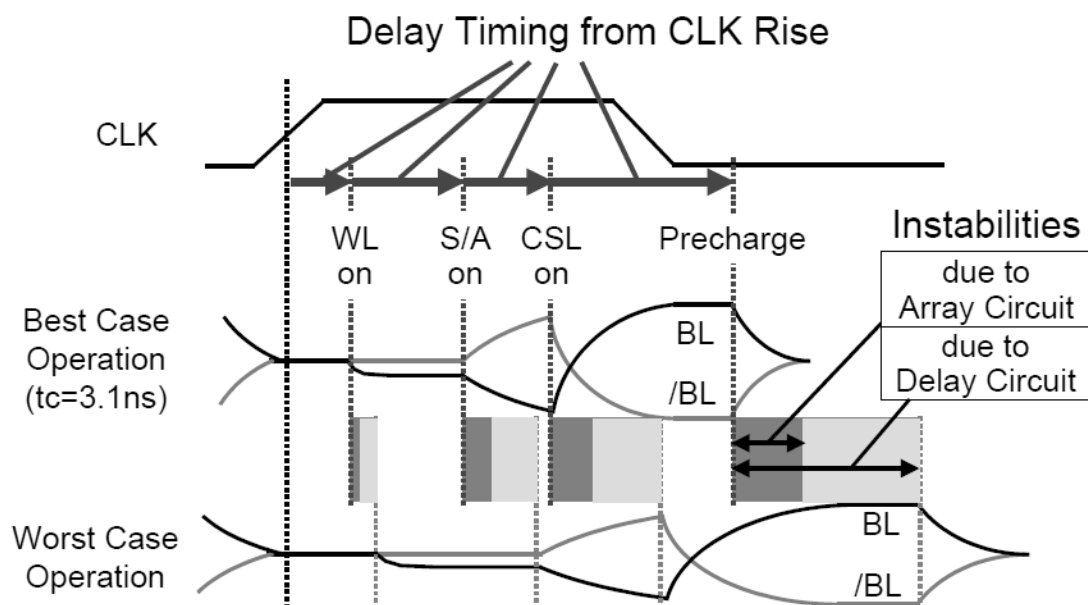


図 5.2 ライト時のタイミングマージン

メモリセルに書き込まれる。

- 4) Precharge : ビット線対をショートするとともにプリチャージ電源に接続する。これによって次のアレイ動作に備える。

この各タイミングが規定の値より遅くなるとサイクルタイムが伸びてしまう。一方、早くなると誤動作を招く。例えば WLon から SAon までの期間が所定の値より短いとビット線対間の電位差がセンスアンプの要求する電位差に達していない状態でセンスアンプが活性化されるため、センスアンプが誤判定する場合が発生する。他のタイミングについても早すぎると誤判定の原因となる。

まず 250MHz で安定して動作させるために PVT ワorst条件下で 3.80nsec 以内に動作を完了するメモリアレイを設計した。次いでこのメモリアレイを PVT ベst条件下で動作させると 3.10nsec で動作が完了することが確認できた。また、ワイヤリング遅延等の PVT ベst条件、ワorst条件で同じ値となる成分は 0.55nsec であった。これらの値から、250MHz 動作に必要な遅延回路の PVT ばらつきによる遅延時間の変動量は 24% 以下に抑える必要があることが明らかになった。

次に、従来から用いられているインバータ遅延回路と RC 遅延回路が適用可能か否かを確認するためにそれぞれの PVT 依存性をシミュレーションで求めた。その結果を図 5.3 に示す。この図のとおりインバータ遅延素子では 125% のばらつきとなり、比較的ばらつきの小さな RC 遅延回路でも 36% であって、必要な 24% 以下に収まらないことが明らかになった。このため 250MHz 級で動作する DRAM に適用できる新たな高精度遅延回路として図 5.4 に示す STC 方式を開発した。

STC 方式は本質的には PLL において VCO の各段からタップを取り出して正確な位相差の信号を得るというものである。この位相差は PVT ばらつきによらず常に一定であることから PVT ばらつきフリーな遅延回路となる。但し PLL は混載 DRAM のタイミング信号発生回路ブロックより大きなレ

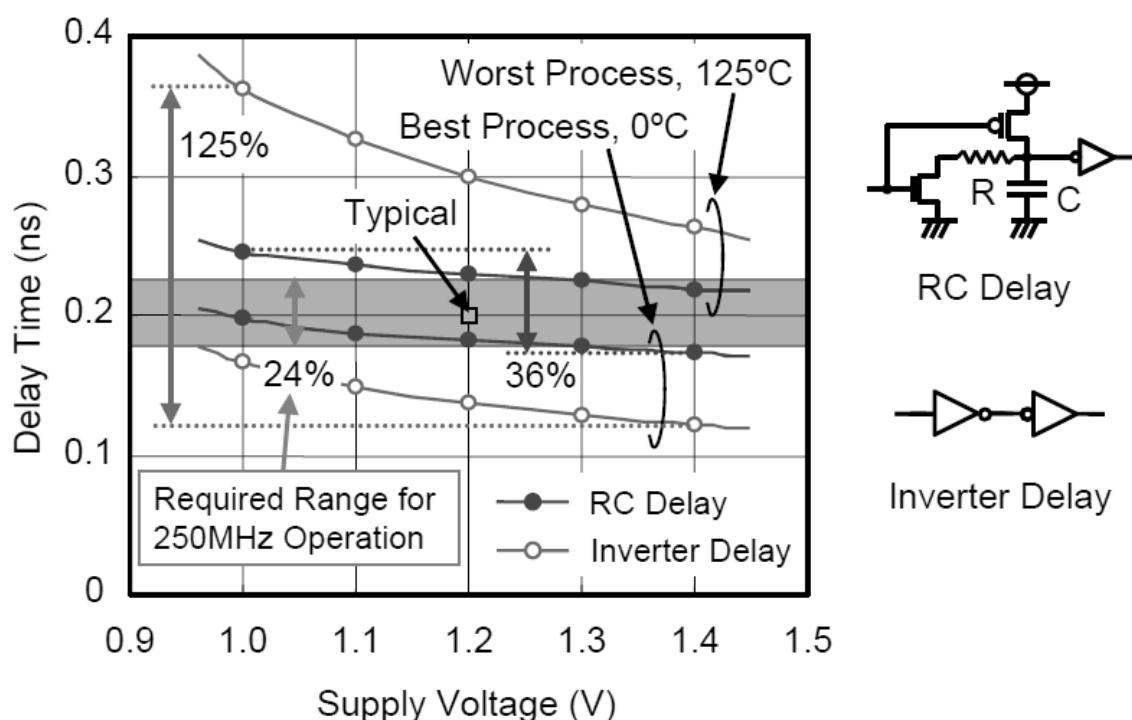


図 5.3 従来型遅延回路の遅延時間の PVT 依存性

アウト面積を占めることと、ノイズによってジッタが大きくなる懸念がある。この問題を解決するために STC 送信モジュールと STC 受信モジュールの 2 ブロック構成とした。STC 送信モジュールの構成要素は PLL のそれと同じであり、基準クロック入力、位相比較器、チャージポンプ、LPF、VCO から成っている。両者の相違点は PLL が安定したクロックを出力するのに対して、STC 送信モジュールは遅延回路制御電圧として制御電圧 V_{bias} を出力することである。STC 受信モジュールは送信モジュールの VCO を構成するものと全く同じ回路及びレイアウトの電圧制御遅延回路と遅延選択タップで構成されており、その遅延時間は STC 送信モジュールから供給される V_{bias} によって制御される。本章での試作デバイスでは STC 送信モジュールの VCO は 32 段の電圧制御遅延回路で構成したので、STC 受信モジュールでは $t_{CLK}/32$ の分解能で PVT ばらつきの影響のない高精度なタイミング生成を実現できた。STC 送信モジュールの LC Circuit は後述する PDDR モードのために設けたレベル補償回路で、クロック供給が停止した場合に V_{bias} を一定値に保つためのものである。詳細は PDDR モードの節で述べる。

本方式を安定に動作させるためのキーポイントは V_{bias} へのノイズの回り込みを最小にすることにある。 V_{bias} 線へのノイズが PLL のジッタ特性を悪化させるからである。このために V_{bias} 線の周辺は上下左右をシールド配線にて囲み外来ノイズへの耐性を上げるようレイアウトした。更に V_{bias} の変動に対してジッタ特性の影響が少なくなるように遅延回路の構成を検討した。図 5.5 が検討した VCO の遅延回路の 1 段分である。トランジスタ $Tr1$ のゲート電位によって遅延時間を変更できるインバータと、その出力とスイッチ用 PMOS を介して接続された負荷としての MOS 容量 $C1$ で構成されている。スイッチ用 PMOS のゲート電位 V_c は V_{dd} と V_{bias} と GND の切り替えが可能である。 V_{dd} に接続すると $C1$ はインバータから切り離されるので、遅延時間は $Tr1$ のゲート電位によってのみ制御される。 V_c を V_{bias} とすると、 V_{bias} の電位が下がるにつれ、遅延量がより大きくなるように動作

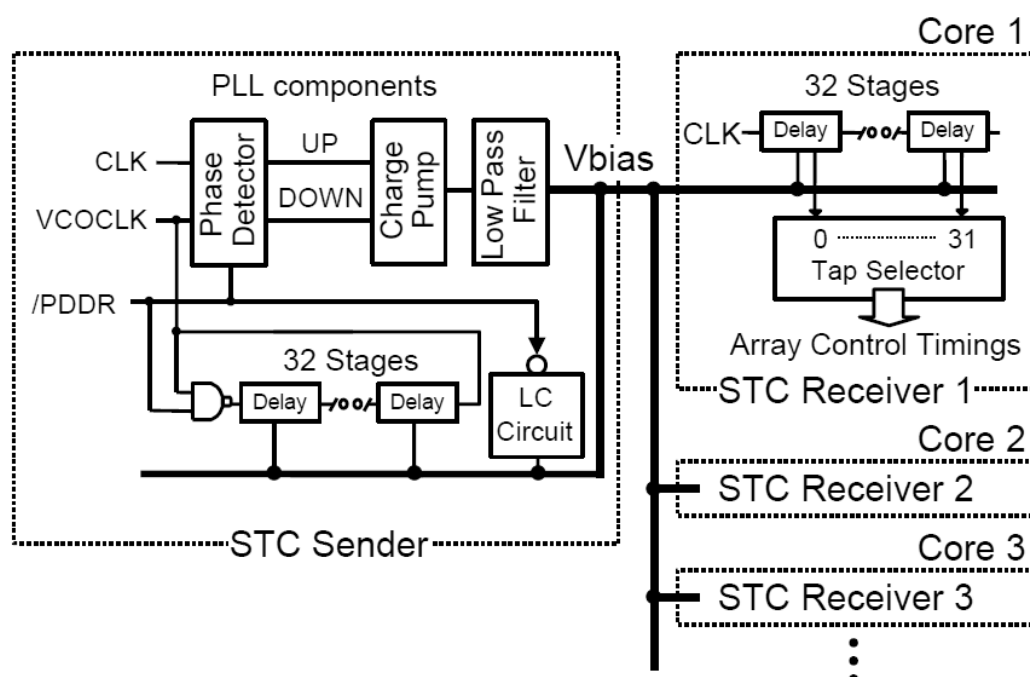


図 5.4 STC 方式のブロック図

する。この遅延回路のシミュレーション結果を図 5.6 に示す。 V_c の電位が V_{dd} と V_{bias} の 2 条件、PVT (プロセスパラメータ、電源電圧、温度) は Best, Worst の 2 条件で発振周波数と V_{bias} の関係を求めた。PVT にて Best はプロセスの Fast コーナ、 $V_{dd}=1.4V$, $T_j=0^{\circ}C$ であり、Worst はプロセスの slow コーナ、 $V_{dd}=1.0V$, $T_j=125^{\circ}C$ である。250MHz 動作時の V_{bias} の電圧は PVT が Best のときは $V_c=V_{dd}$ 時に 0.39V, $V_c=V_{bias}$ 時に 0.53V でありいずれも安定に動作するが、 $V_c=V_{bias}$ の方が V_{bias} の変化に対する発振周波数即ち遅延回路の遅延時間の変化が少なく、 V_{bias} 変動によるジッタ特性への影響が少ないことが明らかである。一方 PVT Worst 条件では VCO のフリーラン周波数に近くなっている一方で、 V_c の電位による差はほとんど見られず、フリーラン周波数が高くてできる $V_c=V_{dd}$ のほうが安定動作を期待できることが明らかである。以上のことより、プロセス変動

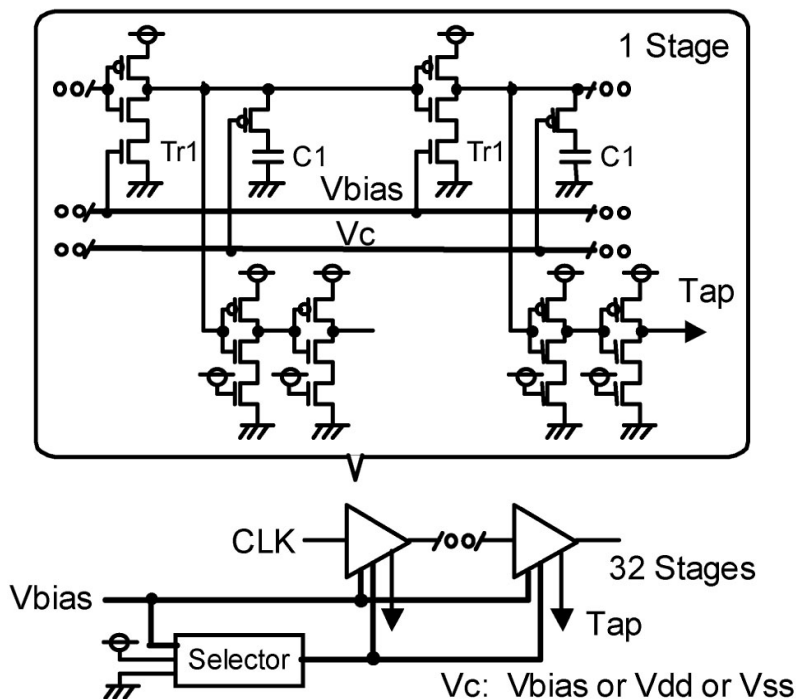


図 5.5 STC 用遅延回路

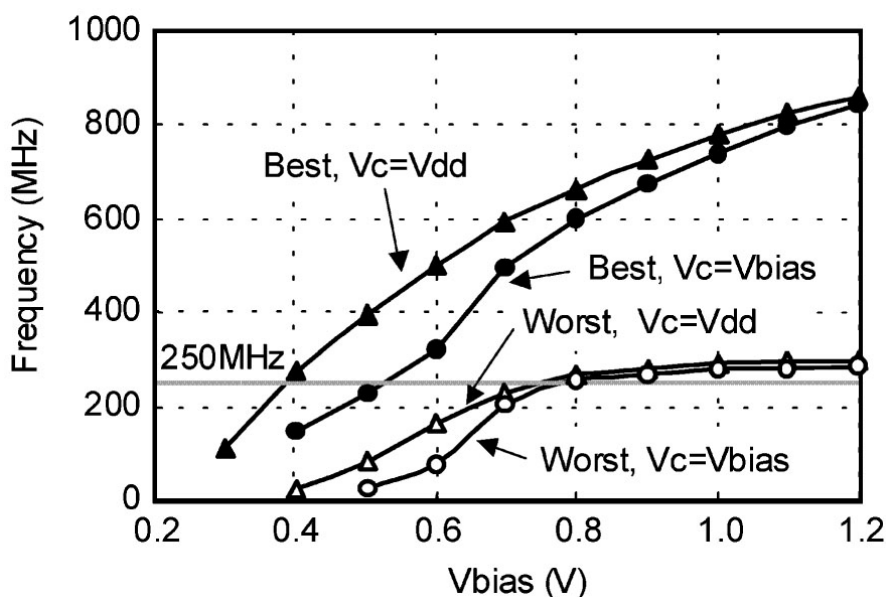


図 5.6 STC 用 PLL の発振周波数

により V_c の電位を変更することが望ましい。そこでテストデバイスでは冗長救済判定のテストを行う際に V_{bias} に外部より一定電圧を印加し、その発振周波数をモニタした上で、 V_c の電位を V_{dd} とするか V_{bias} とするかをスイッチをレーザヒューズで切り替える構成とした。Best 条件、 $V_c=V_{bias}$ と Worst 条件、 $V_c=V_{dd}$ での STC 送信モジュールの PLL 動作のシミュレーション波形を図 5.7 に示す。何れの条件でも 250MHz の入力クロック CLK に対して VCO 出力である VCOCLK がロックしている。信号 UP 並びに DOWN は位相比較器の出力である。このシミュレーションを 10usec の間にわたって行い、発振周期のピークーピーク間の差よりジッタを求め、Best 条件にて 93psec、Worst 条件にて 235psec の値を得た。従って 250MHz 即ち 4nsec 周期における変動量は $235\text{psec}/4\text{nsec}=5.9\%$ であり、設計目標の 24% 以下を達成することができた。

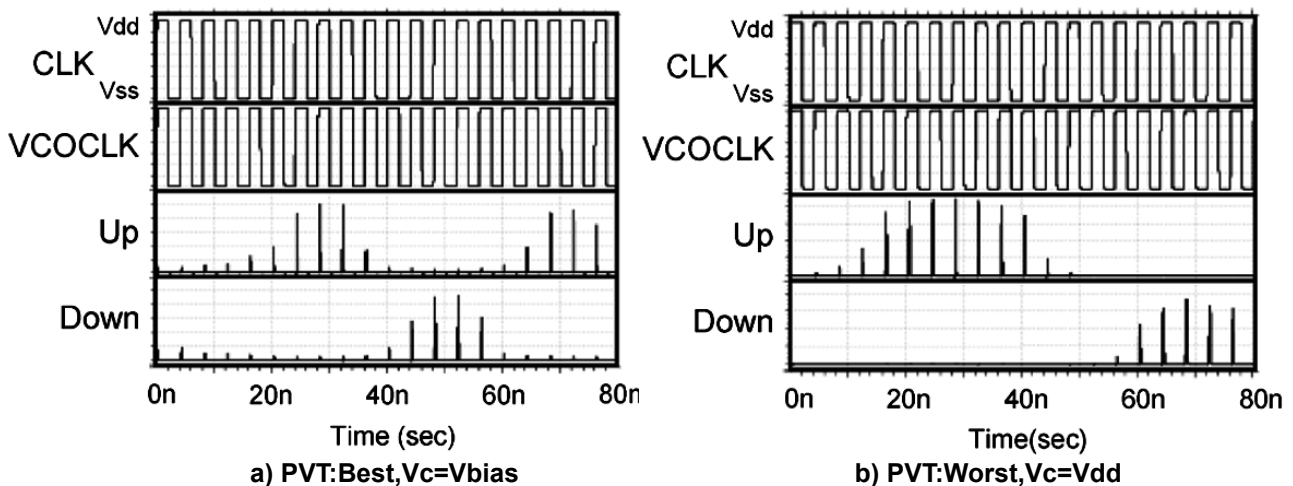


図 5.7 STC 用 PLL の動作波形（シミュレーション）

5.2.2 ネガティブエッジトランスミッション NET 方式

STC 方式によって生成された高精度なタイミング信号を DRAM コアの各ローカル制御回路に分配するためには前章で提案した ASM 方式 [7], [8] に基づく等負荷配線が有効である。但し本章の研究のように 250MHz 級クロック内で DRAM をコントロールするためには以下の点が課題となる。まず一つはパルスの消失である。デューティ比が 50% から極端にずれた高速パルスを長距離伝送すると、配線の寄生抵抗並びに容量の影響により、配線端まで正常に伝送できない場合がある。また信号の rise time (t_r), fall time (t_f) のばらつきも顕著になってくる。これは PMOS と NMOS の I_d の比がプロセス変動により一定に保てないことによるものである。このため超高速 DRAM へ適用するために図 5.8 に示すネガティブエッジトランスミッション NET 方式を開発した。ASM 方式はタイミング信号の伝達に Rise エッジと Fall エッジの両方を用いるのに対し、NET 方式では Fall エッジのみを用いる。このため各ローカル制御回路に伝わる信号の遅延時間は NMOS トランジスタの駆動能力のみによって決まる。コアの中央部で生成されたタイミング信号は活性化用と非活性化用の 2 つの信号としてローカル制御回路に送られる。各ローカル制御回路ではフリップフロップとセレクトで構成された受信モジュールによって必要なパルスを再現する。Rise エッジはタイミング制御に使用しないのでデューティ

比が 50% 前後となるよう遅延を調整することが可能であり、パルス消失の問題が回避できる。

Fall エッジのみを用いる NET 方式では中央の制御部からローカル制御部への信号線の本数は、Fall, Rise の両エッジをタイミング情報の伝達に用いる ASM 方式に比べて倍近くに増える。しかし本章のテーマである 1 クロックでロウ系動作を完了されることが可能な DRAM にはマルチバンク化は不要であり、前章のテストデバイスでマルチバンク動作に対応するために 3 セット設けていたロウ系制御信号線群が 1 セットで良い。従ってトータルの制御信号線数は両者でほぼ同じである。本方式も本質的には ASM 方式の派生であり、ASM 方式のコアの構成が変わっても各ブロックに供給される信号の相対的關係は不変であるという特徴を受け継いでいる。以上のことより、1 クロックでロウサイクルを完結する DRAM コアには本提案の NET 方式が、ロウサイクル完結に複数クロックを要するものには前章で提案の ASM 方式を使い分けることが有効である。

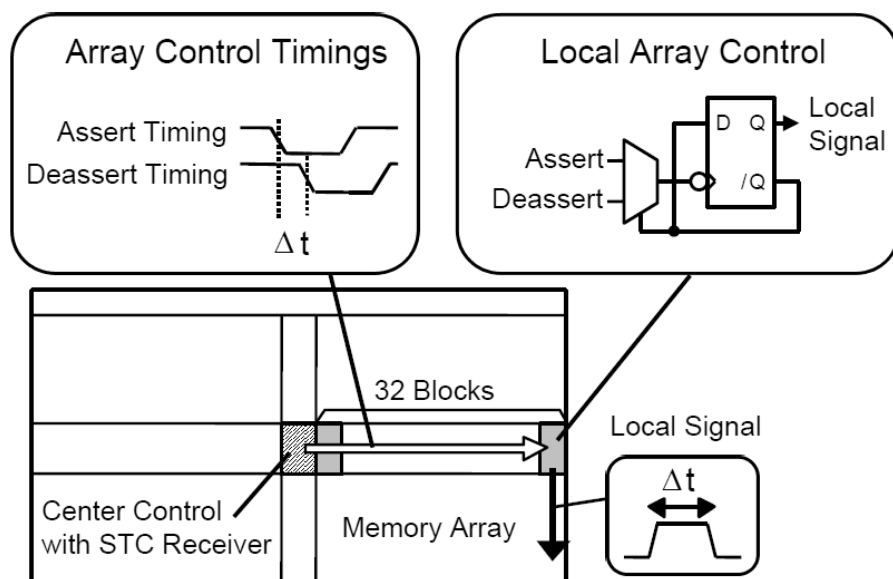


図 5.8 NET 方式のブロック図

5.3 パワーダウンデータ保持 PDDR モード

低消費電力でのデータ保持を実現するためにパワーダウンデータ保持 (Power Down Data Retention) PDDR モードを開発した。本モードは内蔵するタイマによって、一定周期でリフレッシュを行うセルフリフレッシュモードの一種である。あらかじめ決められたリフレッシュ動作の周期 (今回の試作例では 4μsec) 毎に一回アレイを活性化するのみで、それ以外の期間はタイマ以外の回路ブロックは動作させなくて良いという特質を生かした低消費電力化として図 5.9 に示す 3 つの回路技術によって実現した。最初がアレイの低電圧駆動である。前述のとおりデータ保持時には例えば 4μsec 周期のような高速動作は必要ないので、センスアンプの SN 比が確保できる範囲でアレイ駆動電圧を下げる事が可能になる。電圧を下げることは単にリフレッシュ動作時の電力が低減できるのみならず、オフリーク電流の低減にも効果的である。2 番目はデータ保持動作に関係がない回路の電源カットである。データパス系は /PDDR 信号により PDDR モード中は完全に電源カットし、ア

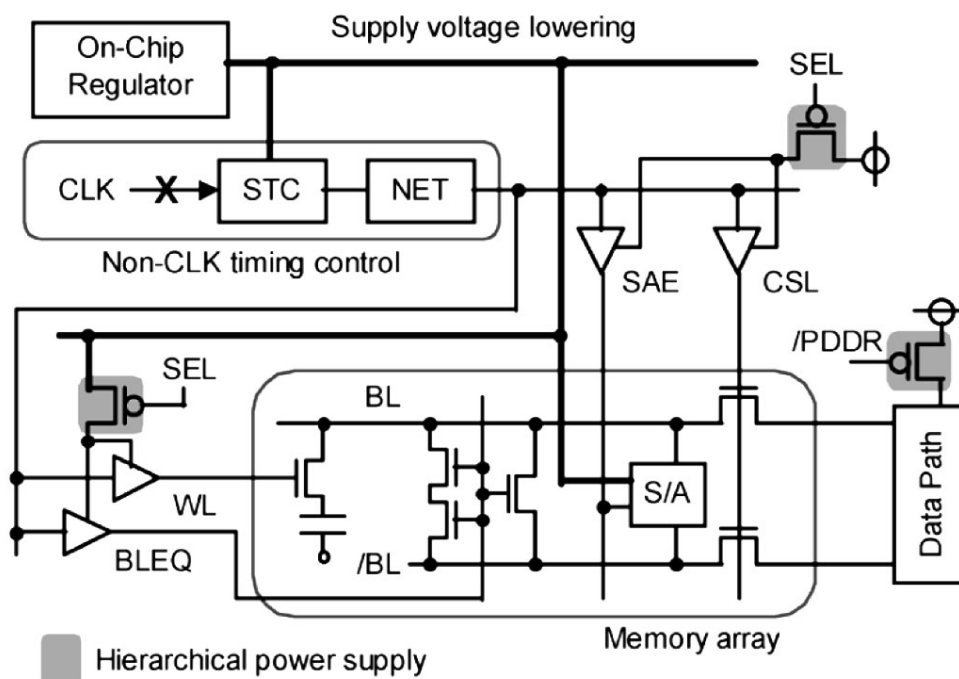


図 5.9 PDDR 方式の回路技術

レイ制御回路は SEL 信号により選択的にローカルアレイ制御回路の電源カットを実施する。最後が STC 送信モジュールへのクロック供給を停止した上で補償回路による V_{bias} 電圧の生成である。これは SoC 全体の電力低減のために混載 DRAM コアへのクロック供給も停止されることへの対応である。

まずアレイの低電圧駆動について詳細に説明する。アレイの低電圧駆動は、ビット線電位を抑制し、さらにそれに伴ってワード線の駆動電圧等小さくすることで実現する。ビット線の電位差を小さくするとビット線の充放電一回あたりの消費電力を低減することができる。しかし電位差を小さくしすぎるとメモセルに蓄積される電荷量の低減のためデータ保持特性が悪化する。これに対処するためにリフレッシュ動作の頻度を増やす必要があり、平均データ保持電力が逆に増加してしまう。つまりデータ保持モード時のビット線電位差には最適値が存在する。プロセスシミュレーションによりデータ保持時間とビット線電位差の関係を調べ、最適値として 0.8V を得た。よって通常動作時には 1.2V 振幅で、PDDR モード時には 0.8V 振幅で動作させることとした。図 5.10 に通常動作時と PDDR モード時のビット線駆動波形を示す。ビット線の電位としては ‘H’、‘L’ それぞれの書き込みレベルである V_{peri} 、 V_{ssp} の他にその平均値であるプリチャージ電位 V_{pre} が必要である。DRAM のリフレッシュは、まず V_{pre} に充電したビット線に対してワード線を活性化してメモセルデータを読み出した後、センスアンプによってビット線電位は V_{peri} と V_{ssp} にまで増幅する。この V_{peri} または V_{ssp} が選択されたメモセルのストレージノードに書き込まれる。次いでワード線を閉じ、さらにビット線をイコライズすることでビット線対電位を V_{pre} に復帰させることで完結する。図 5.10 a) は PDDR モード時に単純に V_{peri} を 1.2V から 0.8V に下げるものである。この場合 PDDR モードへの遷移時に V_{peri} を 0.4V 下げるのみならず V_{pre} を 0.6V から 0.4V に下げ、またノーマルモードへの復帰時に 0.4V から 0.6V に上げる必要がある。活性化中のものを除く全ビット線は V_{pre} に充電されているために、この

V_{pre} の電位変更は遷移時間と充放電の面で大きなペナルティとなる。更に通常動作への復帰直後は $V_{pre}=0.4V$ でリフレッシュしたデータを $V_{pre}=0.6V$ で読み出すので 'H' レベルの読み出しマージンが $0.2V$ 小さくなってしまうため PDDR からの復帰直後にリカバリー動作として全メモリセルをリフレッシュさせる必要があり、これもノーマルモードへの復帰時間を延ばす要因となる。

そこで図 5.10 b) に示すとおり PDDR モードでは $V_{peri}=1.0V$, $V_{ssp}=0.2V$ とすることで V_{pri} をノーマルモードと同じ $0.6V$ に保つことにした。これによりノーマルモードと PDDR モード間の遷移に伴うビット線電位の変動は無くなる。さらにノーマルモードへの復帰直後の 'H' レベル、'L' レベルの読み出しマージンは共に $0.4V$ で等しいため特別なリカバリー動作は不要である。図 5.11 が図 5.10(b) のアレイ駆動を可能にするための電源回路である。前述の V_{peri} , V_{pre} , V_{ssp} に加えてワード線電位 V_{wl} を生成する。なお V_{peri} , V_{ssp} は DRAM マクロの周辺制御回路の電源としても用いる。また V_{ddH} , V_{ddL} は本 DRAM マクロを含む SoC への電源であり、夫々厚膜 Tr. 用、薄膜 Tr. 用の $2.5V$, $1.2V$ である。ノーマルモード時は V_{wl} , V_{peri} は各々がゲート幅の大きな PMOS トランジスタで V_{ddH} , V_{ddL} と直結される。 V_{ssp} も NMOS トランジスタで $0V$ に直結される。 V_{pre} は V_{ddL} を基準にその $1/2$ の電位を発生させる。 PDDR モード時には V_{wl} , V_{peri} , V_{ssp} は何れも直結用トランジスタをターンオフすると共に、それぞれ V_{ddH} , V_{ddL} , $0V$ からシリーズレギュレータを介して $2.0V$, $1.0V$, $0.2V$ を生成する。また V_{pre} はノーマルモードと同じく V_{ddL} の $1/2$ として $0.6V$ を発生する。

次にオフリーク低減のための電源カットについて図 5.12 を基に説明する。まずデータパス部を含むカラム系は PDDR モード中、常にカットオフする。ロウ系に関しても PDDR モードではワード線を決まった順に活性化するのでローカル制御部を活性化するタイミングは事前に把握できるという特質を生かして、リフレッシュするべきワード線を含むローカル制御部を除いてパワーカットした。各ローカル

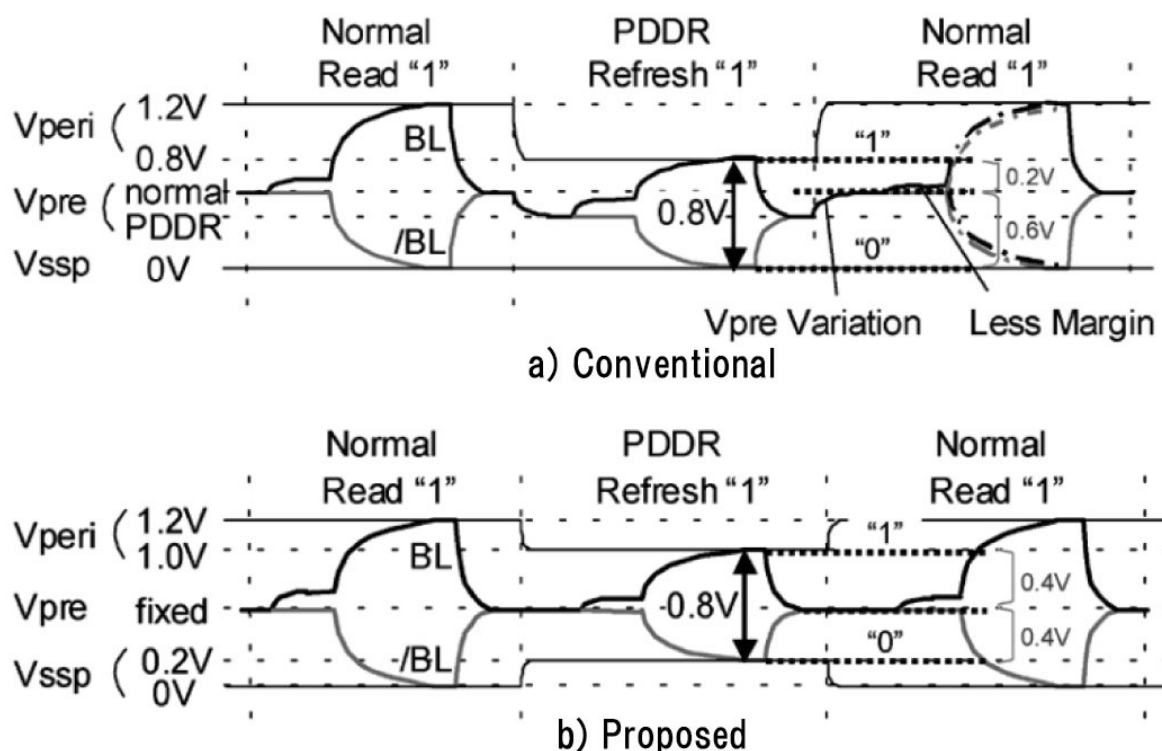


図 5.10 PDDR 方式のビット線駆動波形

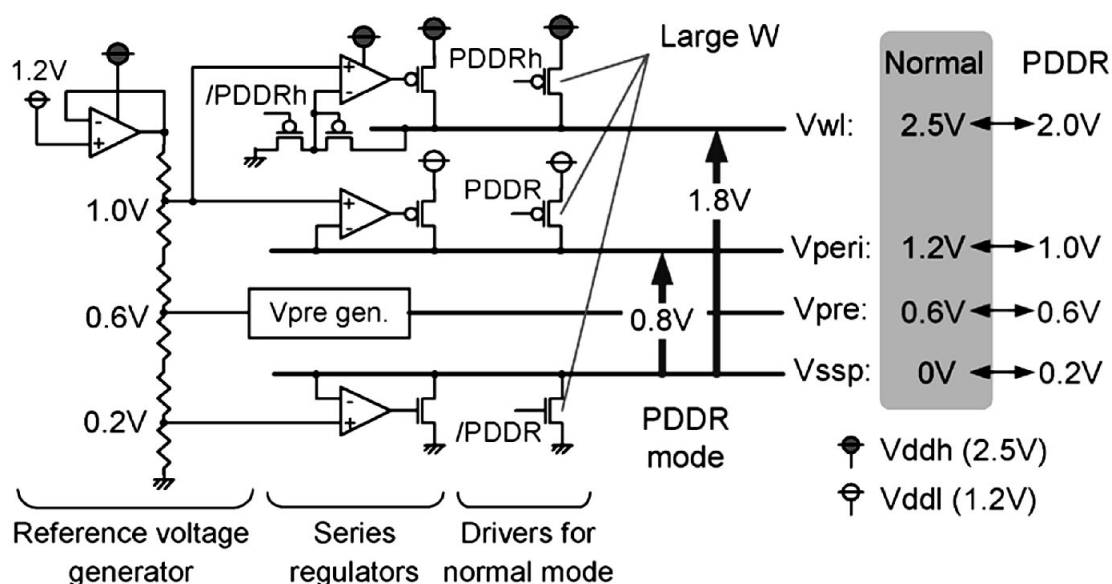


図 5.11 PDDR 方式用アレイ駆動電源回路

制御回路部を /PDDR と RBS (Row Block Select) 信号とでパワーカット制御を行うようにした。残る中央制御回路部についてはアレイ駆動信号線群のドライバのパワーカットを行った。これらのドライバはノーマルモードにて 250MHz 動作を実現するために信号の遷移時間を十分に小さくする必要があることからゲート幅の大きなトランジスタを用いている。しかし PDDR モードにおいては、ノーマルモード時の約 1000 倍の 4μsec 以内にリフレッシュ動作が完了すればよい。さらに、このアレイ駆動信号線群は NET 方式での信号転送を行っていることから信号線の t_f が一律に変動しても、個々のサブアレイでの動作マージンを劣化させることはない。そこでアレイ駆動ドライバを大小の 2 つに分け、ドライバサイズの大きい側を /PDDR 信号でカットオフする構成とした。

最後に STC 用の基準クロックへの対策を説明する。SoC 全体のパワーカットのためにはシステムクロックを停止させることは必須の条件であり、STC の入力クロックも必然的に停止してしまう。このため STC による遅延回路の制御ができなくなる。この対策が図 5.13 のレベル補償回路である。PLL の系をカットオフした上で、レベル補償回路を活性化する。この回路は 0.2V となる PDDR 時の

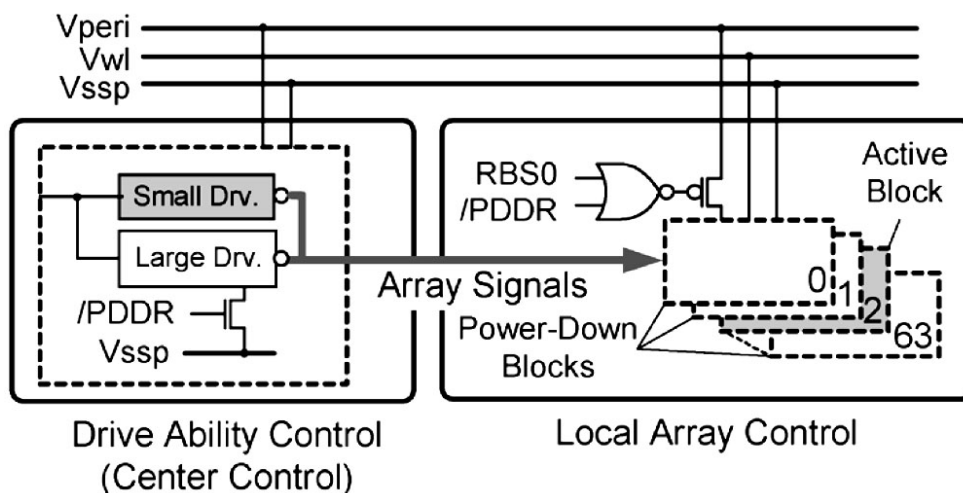


図 5.12 周辺回路パワーダウン

図 5.14 にリフレッシュ時間 32msec でのデータ保持電力の見積もりを示す。高速プロセスを使用した場合には 1.36mW にもなる。その主要因は高速すなわち閾値の低いトランジスタのオフリークである。これに対して STC を採用した結果、閾値の高い低リークトランジスタの採用が可能になり、252uW にまで低電力化できた。更に上述の PDDR モードの採用により約 1/4 の 73uW に低減できる。これは高速プロセス採用の場合の約 6% に匹敵する。ノーマルモードと PDDR モードでのアレイ駆動シミュレーション結果を図 5.15 に示す。

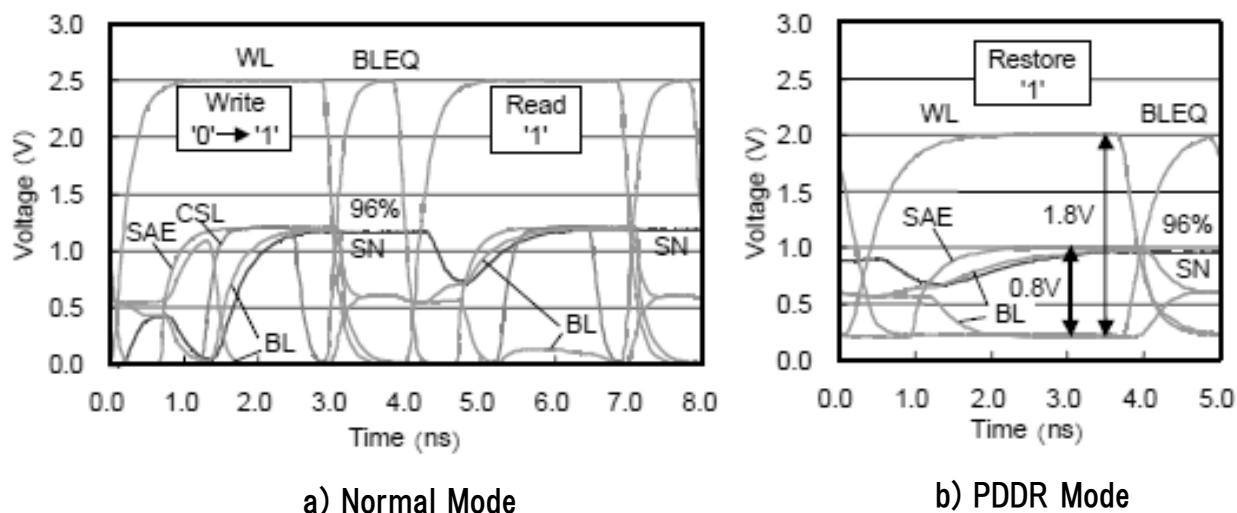


図 5.15 アレイ駆動シミュレーション結果

5.4 テストデバイス

図 5.16 に試作したテストデバイスのブロック図を示す。電源モジュールをボンディング Pad 直近に配置する前提で最上段に配置している。I/O 回路はデータバスの伝播遅延を最小にするべく、メモリアレイの中央部分に配置している。STC 回路は送信モジュールと受信モジュールを分離して配置した。送信モジュールは面積に余裕があると同時にノイズの少ない電源モジュール内に配置し、受信モジュールは信号生成を行うアレイ駆動信号発生回路内に配置した。STC にて生成した正確なタイミング信号は NET 方式を用いてアレイ内に分配する。前述のとおり送信モジュールと受信モジュール

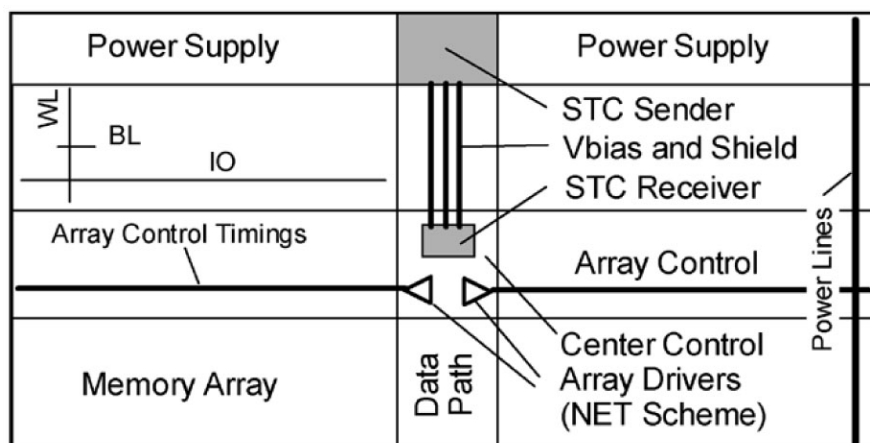


図 5.16 テストデバイスのブロック図

間を結ぶ Vbias 線は、その上下左右をクリーン Vss にてシールドして、メモリ動作時のノイズ対策としている。

図 5.17 が試作したテストデバイスの顕微鏡写真で DRAM コアのコアサイズは 13.98mm^2 である。SoC を模して 2 個の 16Mbit RAM コアと 1 個の SRAM コアを搭載した。2 個の DRAM コアのうち一方が STC のマスタデバイスとして、STC の送信モジュールを搭載している。この送信モジュールで

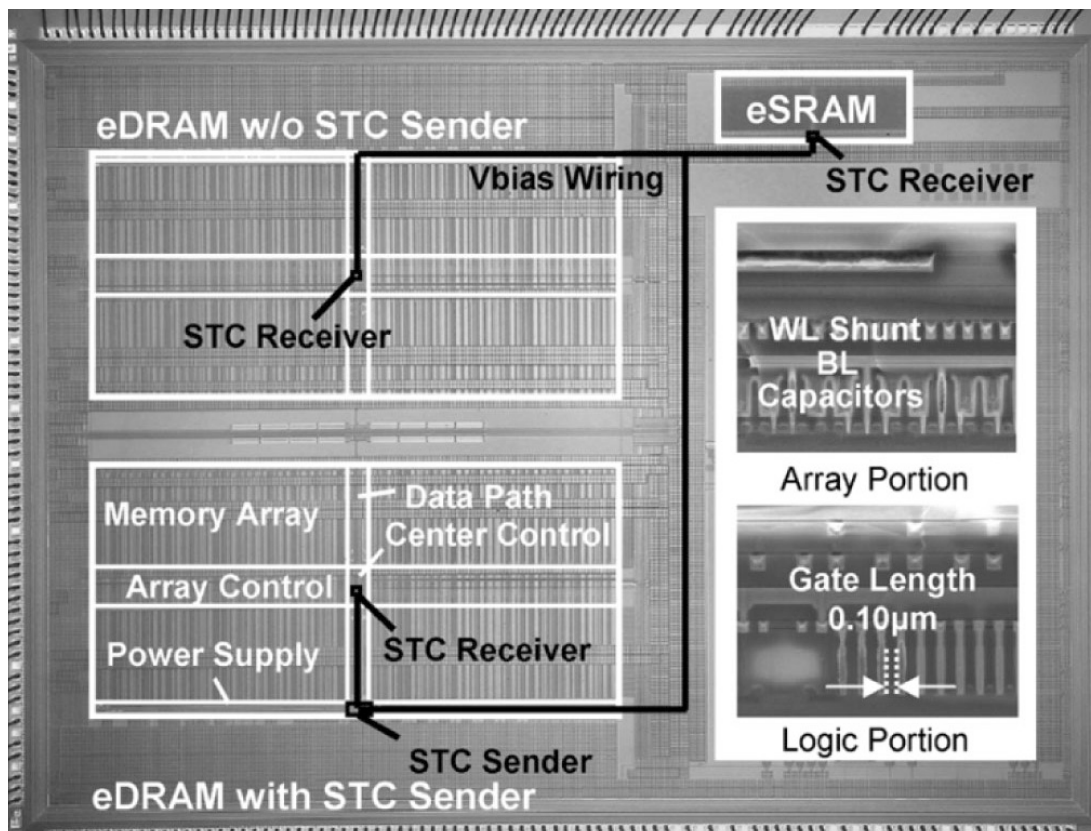


図 5.17 テストデバイスの顕微鏡写真

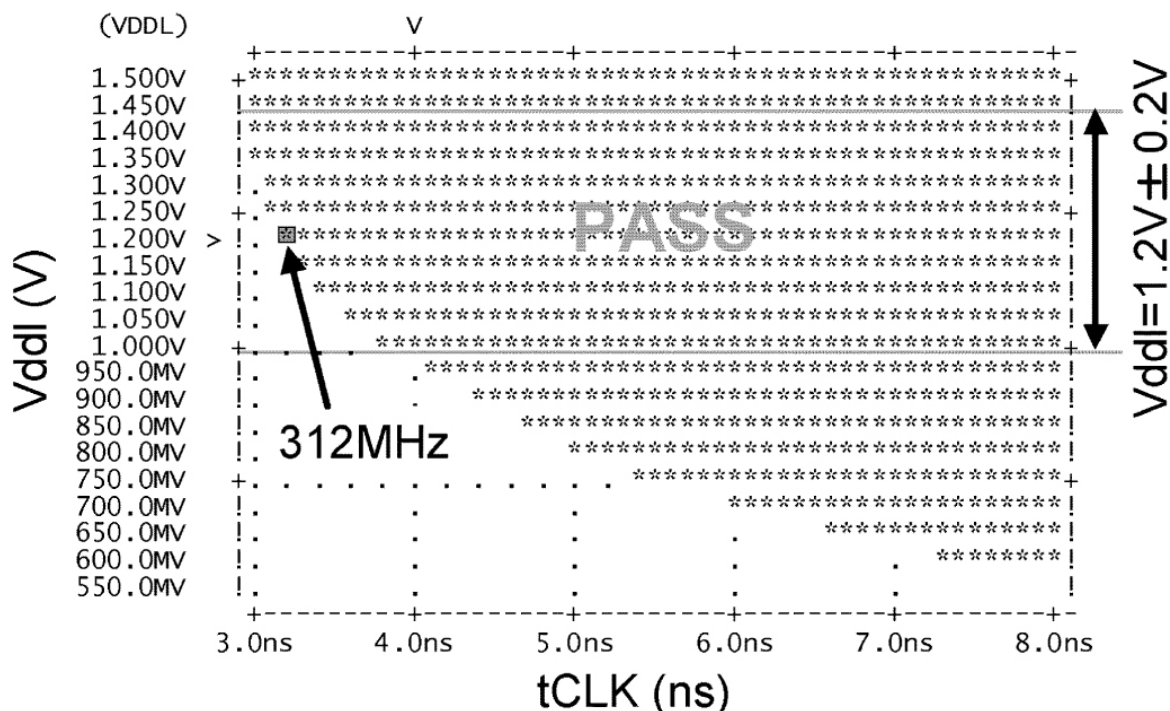


図 5.18 テストデバイスのシュムープロット

表 5.1 テストデバイスの主要諸元

Process technology	0.13 μ m logic-based eDRAM Dual Tox (5.5nm/2.0nm), Co-salicide
Macro size	13.98mm ² @16Mb
Cell size	0.42 X 0.84 = 0.35 μ m ²
Cell structure	MIM-structure, Ta ₂ O ₅ , CUB
Supply voltage	Vddl=1.2V, Vddh=2.5V
Peak power	260mW @250MHz
Data retention power	73 μ W @PDDR mode

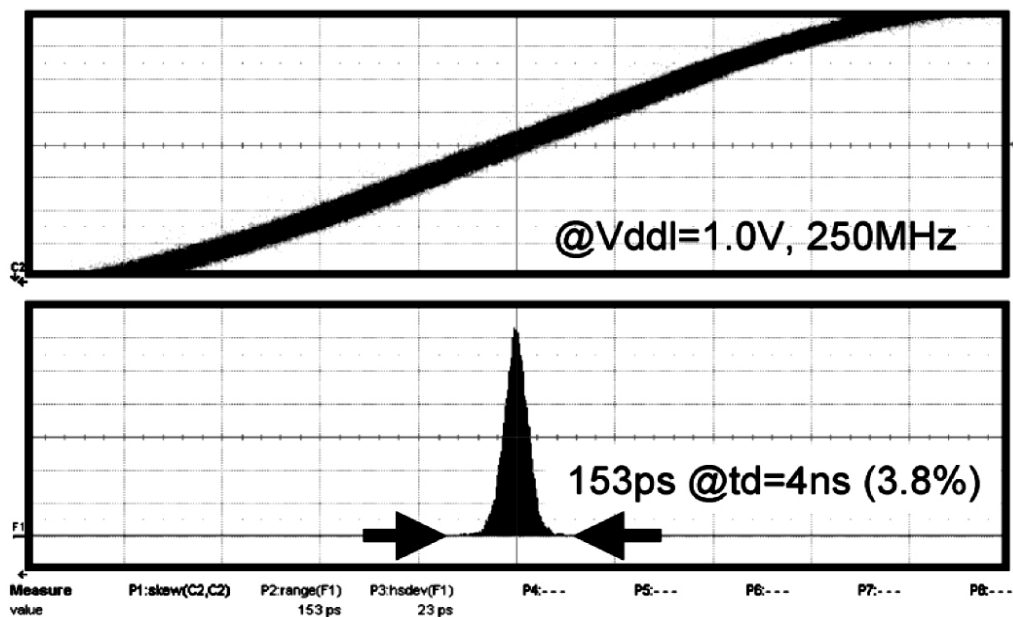


図 5.19 STC 送信モジュールのジッタ特性

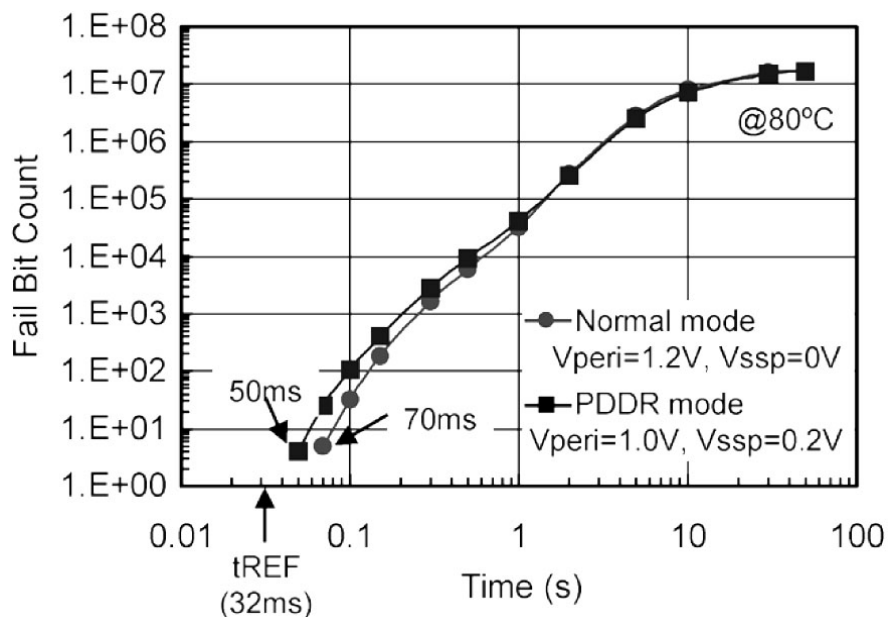


図 5.20 テストデバイスのデータ保持特性

生成された Vbias 配線はチップ内に配信され、各モジュールで使用される。今回の試作デバイスではもう一方の DRAM コアと SRAM コアが STC のスレーブデバイスとして、STC の受信モジュールを使って各々の遅延回路を動作させる。DRAM コアの主要緒元を表 5-1 に示す。MIM 型のスタットメモリキャパシタ採用の 0.13 μ m 混載 DRAM プロセスで製造しており、図 5.17 の断面写真のとおりロジック部のゲート長は 0.10 μ m、DRAM セルは第 1 メタルをビット線とする CUB 構造である。クロック周波数 250MHz での動作時電力は 260mW、PDDR モードによるデータ保持電力は 73 μ W であり、見積もり値 77 μ W にほぼ等しい結果が得られた。図 5.18 にシミュレーションプロット図を示す。ロジック電圧 VddL=1.2V にてサイクルタイム 3.2nsec (312MHz) での動作を確認した。また VddL=0.6V での動作も確認した。これは PDDR モードでの VddL=0.8V での動作を保証するに十分な値である。図 5.19 は STC 回路のジッタ特性の実測値を示す。32 段の電圧制御遅延素子で生成した 4nsec に対してジッタは 153psec、即ち 3.8% である。これは従来型の RC デレイでの遅延ばらつき 36% の 1/9 以下であると共に、250MHz 動作を満足するための 24% のばらつきに対しても大きく上回る結果が得られた。図 5.20 はデータ保持特性であり、ノーマルモードで 70msec、PDDR モードでも 50msec とスペックの 32msec を満足した。

5.5 結言

本章では最先端ロジックプロセスに DRAM を混載したロジックベース混載 DRAM に対応した 250MHz のクロック 1 周期で動作する DRAM コアを研究した。タイミング信号伝送に前章で提案した ASM 方式を発展させた NET 方式を提案するとともにタイミング信号生成の遅延回路として PVT の小さな STC 方式を提案した。さらにこれに基づいて設計したテストデバイスでその効果を実証した。

- 1) 高速クロック 1 周期で動作する高速な DRAM コアを実現するためにはタイミング生成に用いる遅延回路の PVT ばらつき小さくすることが必須であり、250MHz 動作の場合では許容誤差は 24% 以内であること、更には従来の比較的 PVT ばらつきの小さな RC 遅延回路で実現可能な 36% より厳しい要求であることをシミュレーションにより明らかにした。この要求を満たす遅延回路としてセルフタイムタイミングコントロール (STC) 方式を提案した。STC 方式は PLL とほぼ同じ構成要素から成っており、PLL が入力クロックと同位相のクロックを出力するのに対して、STC 方式は PLL 内の VCO の制御電圧を出力し、このアナログ電圧によって遅延時間をコントロールする。この方式におけるタイミングばらつきはジッタで決まっており、シミュレーションでは 5.9% となった。この値は上記の許容誤差 24% 以内を満足するものである。
- 2) タイミング信号伝送方式として第 4 章で提案した ASM 方式を高速メモリ向けに改良したネガティブエッジ転送 (NET) 方式を提案した。NET 方式は、コア内のいずれの場所においても、クロックと制御信号やアドレス間のタイミングずれをほぼ一定にできるという ASM 方式のメリットを継承しつつ、高速クロックで課題となる tR, tF の PVT によるばらつきや制御信号のパルス消失という課題を解決した。

- 3) 低電力でデータ保持をすることを目的としてパワーダウンデータリテンション (PDDR) モードを提案した。PDDR モードではビット線の小振幅化と不要な周辺回路の電力カットを行う。PDDR モード中のビット線の小振幅化の実現手段として、センスアンプの L レベルを一定にして、H レベルを下げると、ノーマルモードへの復帰時のデータリカバリサイクルが必要になるので、復帰時間が長くなることを示した。この対策としてセンスアンプのプリチャージレベルをノーマルモードと同一とし、L レベルをノーマルモードより高く、H レベルはノーマルモードより低くすることが望ましいことを示した。あわせてこの場合の復帰時間が 4 μ sec であることを示した。更に PDDR モード中はシステムクロックも停止していることを前提に、STC の制御を検討した。STC の制御電圧を PLL により制御するのではなく、一定電位の供給に切り替える構成とした。これにより STC 方式の、遅延時間の PVT 依存性が小さいという特徴は生かせないが、PDDR モード中のサイクル時間は 4 μ sec 程度であるため、サイクル時間が長くなることのデメリットは顕在化しない。
- 4) 以上の STC 方式と NET 方式の組み合わせによる高速化と PDDR 方式による低消費電力の両立を実証するためのテストデバイスを 0.13 μ m 混載 DRAM プロセスにて試作した。試作デバイスはクロック周波数 312MHz でのランダムアクセス動作を確認し、当初目標の 250MHz 以上での動作を実現するとともに、データ保持電力は PDDR モードにて 73 μ W と従来の高性能プロセスを用いた場合より 94% の低減が図れた。
- 5) 試作したテストデバイスでは一つの STC 送信モジュールで 2 個の DRAM コアと 1 個の SRAM コアの遅延調整を行っており、STC 方式の特徴である、一つの STC 送信モジュールでチップ内の全領域での高精度タイミング調整が可能であるという特徴を実証的に確認することができた。

上記の結果により、本章での研究はシステムからの高機能化や SRAM の置換用途から来るデータ保持電力の低減の要求を満たし、混載 DRAM の高性能化と低消費電力化に大きく貢献できることを確認した。

参考文献

- [1] P. DeMone, et al., "A 6.25 ns Random Access 0.25 μ m Embedded DRAM," Digest of Technical Papers. Symposium on VLSI Circuits, pp. 237-240. June 2001.
- [2] C. L. Hwang, et al., "A 2.9 ns Random Access Cycle Embedded DRAM with a Destructive-Read Architecture," Digest of Technical Papers. Symposium on VLSI Circuits, pp. 174-175. June 2002.
- [3] J. Barth, et al., "A 500 MHz Multi-Banked Compilable DRAM Macro with Direct Write and Programmable Pipelining," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 204-205, Feb. 2004.
- [4] T. Kirihata, et al., "An 800 MHz Embedded DRAM with a Concurrent Refresh Mode," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 206-207, Feb. 2004.
- [5] F. Morishita, et al., "A 312MHz 16Mb Random-Cycle Embedded DRAM Macro with 73 μ W Power-Down Mode for Mobile Applications," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 202-203, Feb. 2004.
- [6] F. Morishita, et al., "A 312-MHz 16-Mb Random-Cycle Embedded DRAM Macro With a Power-Down Data Retention Mode for Mobile Applications," IEEE Journal of Solid-State Circuits, vol. 40, no. 1, pp. 204-212, Jan. 2005.
- [7] N. Watanabe, et al., "An Embedded DRAM Hybrid Macro with Auto Signal Management and Enhanced-on-Chip Tester," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp.388-389, Feb. 2001.
- [8] N. Watanabe, et al., "An Embedded DRAM Hybrid Macro with Auto Signal Management and Enhanced-on-Chip Tester," IEICE Transactions on Electronics, vol. E86-C no. 4 pp. 624-634, Nov. 2003.

第 6 章 TCAM における低消費電力化の研究

6.1 序

第 4 章及び第 5 章では、DRAM をロジック回路に混載することにより SoC の高性能を図ることを検討した。ただしこの場合においてもメモリは、あくまでも情報の記憶手段として使用されている。本章ではメモリそのものをエンジンとして用いる CAM を取り上げ、その大きな課題である消費電力の低減について議論する。

近年、高速検索が可能な大容量 CAM がアドレスクラスフィケーションやパケットフィルタリング等のネットワーク用途に広く使われるようになってきている。TCAM の動作の概要について以下に述べる。

図 6.1 は 1 ワード 144bit の TCAM である。1bit の TCAM セルは 2bit の SRAM セルと 4 個のトランジスタで構成される比較器から成っている。図 6.1 c) に示すとおり 2bit の SRAM を用いて‘0’，‘1’そして Don't care の 3 つの論理値を記憶する。通常の RAM と同じく SRAM データを読み書きするためのワード線並びにビット線を備えていることに加えて、比較データを入力するためのサーチ線および比較結果を保持するためのマッチ線を有する。

サーチ動作のタイミング図は図 6.1 b) に示すとおりである。まず全サーチ線を ‘L’ レベル即ち非選択状態とし、マッチ線を ‘H’ にプリチャージする。次いでマッチ線のプリチャージを解除した後図 6.1 d) に示す形式で検索すべきデータに応じてサーチ線を選択的に活性化する。その結果、メモリセルに記憶されたデータパターンと入力されたサーチデータに依存してマッチ線が放電されるか否かが決まる。マッチ線が放電された場合はメモリセルに記憶されたデータパターンとサーチデータが不一致つまり Miss したことを示し、マッチ線が放電されなかった場合はメモリセルに記憶されたデータパターンとサーチデータが一致つまり Match したことを示す。

上述の動作から明らかなように、メモリ内の全データの比較が一斉に行われる、つまり完全並列動作していることから高速検索を行うことが可能である。しかし、この完全並列動作という本質のため、通常のメモリにおける効果的な消費電力削減策である分割動作の手法が使えない。また、多数の

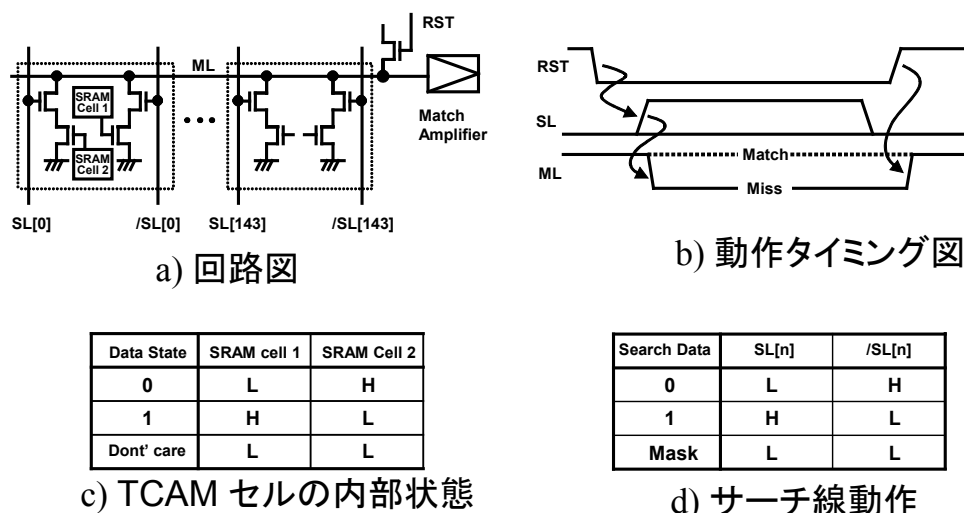


図 6.1 従来型 TCAM の動作

データの中から一致したものを探すというアプリケーションから予測されるとおり、大半のマッチ線は不一致状態となる。つまり大半のマッチ線はサーチ動作毎に放電が発生するために、その充放電電力が多くなる。

このため、すでに様々な消費電力の低減方法が提案されている。これらの提案は回路レベルのアプローチとアーキテクチャレベルのアプローチに大別できる。

回路技術的アプローチとしてはマッチ線の低電圧化が有用である。これまで知られているものとしてはマッチ線プリチャージ用の低電圧を発生させるためにチャージインジェクション容量を使用するものがある[1]、[2]。その原理は、まずチャージインジェクション容量を VDD レベルに充電し、マッチ線プリチャージは、マッチ線とチャージインジェクション容量との電荷再分配によって行うものである。本方式は消費電力低減には有効であるが、チャージインジェクション容量の総容量がマッチ線容量の $1/2 \sim 1/3$ 程度必要であり、この容量による面積ペナルティが無視できない。チャージリサイクリング[3]は回路技術的アプローチとして様々な方面で適用されており、TCAM のサーチ線に適用した例[4]、[5]が報告されている。しかしこの報告例ではサーチ線対間でのチャージシェアリングを行っているために SL と /SL を同時に 'L' レベルにできない。このためマスク動作が実現できず、CAM としては限定的な応用分野にしか適用できなかった。これらの回路技術的アプローチは全てのマッチ線、サーチ線が動作するというワーストケースでの消費電力の低減が可能である。

アーキテクチャレベルでの低電力化技術として、TCAM アレイの駆動方法の改良がある。具体的には選択プリチャージ方式[6]-[8]、マッチ線パイプライン方式[9]、[10]あるいは階層サーチ線方式[9]-[11]等である。これらはその検索パターンや、格納されたデータパターンに応じて決定される不要な電力削減を行うものである。このため平均消費電力の削減には非常に有効であるが、ワーストケースの消費電力削減は実現できない。このため EMI (Electro Magnetic Interference) 対策としては完全ではない。そのほか負荷状態に応じて動作周波数及び電源電圧を動的に変更する DVFS (Dynamic Voltage Frequency Scaling) [12]も興味深い技術であるが、サーチ要求が連続的に発行された場合には対応できないという意味でワーストケースでの消費電力削減策とはなりえない。

本章ではサーチ線のみならずマッチ線にまでチャージシェアリングを適用した完全チャージシェアリング CAM [13]、[14]についての提案を行い、その実証結果を報告する。完全チャージシェアリング CAM に適したアレイアーキテクチャとしてチェッカーボードアレイ配置の提案も行う。

6.2 チャージリサイクリング CAM

本節では完全チャージリサイクリング TCAM 実現に必要なマッチ線チャージリサイクリング、チェッカーボードアレイ配置、サーチ線チャージリサイクリングについて述べる。

6.2.1 マッチ線チャージリサイクル

チャージリサイクルは本質的に相補動作をする回路に適合するものである。ところが前節で述べ

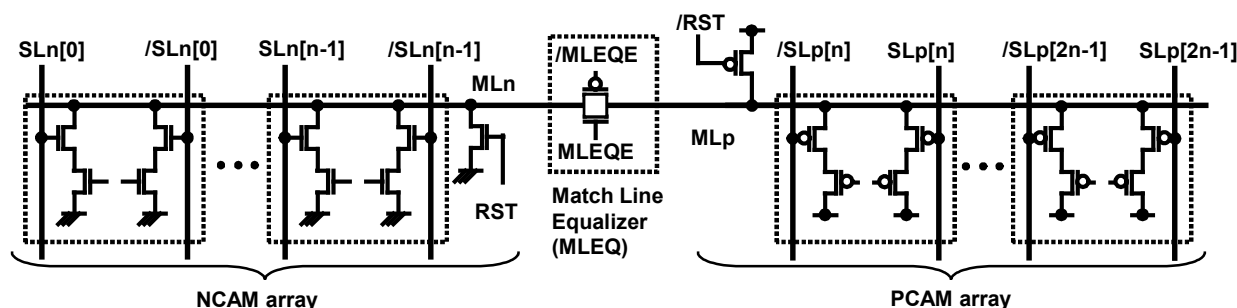


図 6.2 チャージリサイクル TCAM のメモリアレイ

たとおり一般的な CAM のマッチ線の動作は相補動作ではないため、チャージリサイクルが適用できなかった。この問題を解決するために図 6.2 に示すとおり CAM アレイを 2 種類用意した。ひとつは NMOS でサーチトランジスタを構成する NCAM アレイであり、もうひとつは PMOS でサーチトランジスタを構成する PCAM アレイである。NCAM アレイは通常の CAM アレイと同じくマッチ線を GND レベルにすることで Miss を示すのに対して、PCAM アレイはマッチ線を VDD レベルにすることで Miss を示す。PCAM アレイと NCAM アレイの大きさを同一とし、両者の間にイコライザを設けることでチャージリサイクルを行う。以下、図 6.3 にてその動作について述べる。NCAM アレイのマッチ線 ML_n の信号電位は $0V$ と $VDD/2$ の間を示し、前者が Miss、後者が Match 状態である。PCAM アレイのマッチ線 ML_p は VDD と $VDD/2$ の間を変動し、同じく前者が Miss、後者が Match 状態となる。検索直前の全マッチ線は $VDD/2$ の状態を保持している。次いでサーチ線を活性化することで選択的にマッチ線が ML_n は $0V$ に、 ML_p は VDD レベルになることで Miss 状態となり、マッチ状態のものは $VDD/2$ を保持したままとなる。この状態でマッチアンプを動作させて、検索を行う。その後次の検索に備えてチャージリサイクルを行うが、その準備として Match 状態のマッチ線を RST 信号によって ML_n は GND に放電、 ML_p は VDD に充電する。このリセット動作によって全 ML_n は GND に、全 ML_p は Vdd になるため、 ML_n と ML_p をイコライズするのみで、他からの電荷の流入や流出なしに全てのマッチ線が $VDD/2$ にプリチャージできることになる。この状態で次の検索要求を待つ。なおマッ

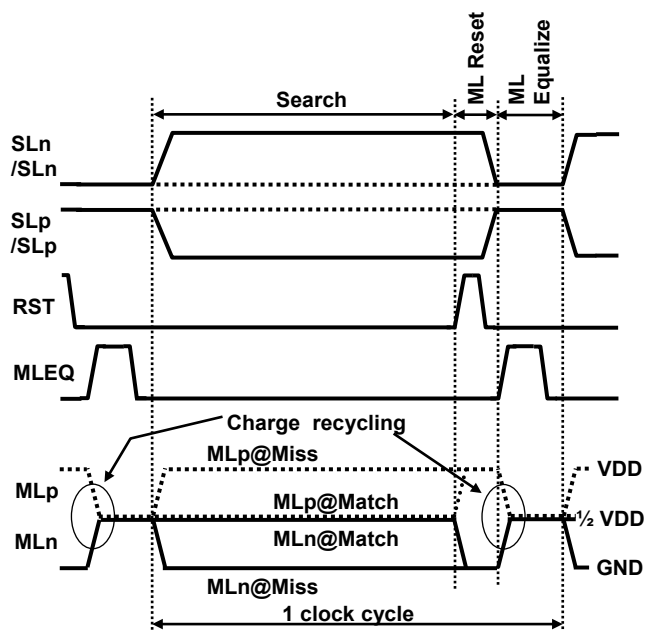


図 6.3 チャージリサイクル TCAM の動作波形

チ状態のマッチ線をリセットすることで消費電力は増加してしまいが、Match 状態にあるマッチ線の数
は少ないことが実際のアプリケーションを考えても明らかであるので、これによる消費電力増大は無
視することができる。

本手法を適用することによる消費電力の低減を以下で議論する。総マッチ線容量を C 、電源電
圧を V_{DD} 、動作周波数を f とする。なお単純化のため全マッチ線が放電されるものとする。図 6.1 に
示した通常型の TCAM は V_{DD} プリチャージ方式でその消費電力は

$$P_{VDD} = f \cdot C \cdot V_{DD}^2 \quad (6.1)$$

となる。通常型 TCAM にオンチップレギュレータを搭載し、プリチャージ電圧を V_{DD} より低い V_{pre}
とすることで充電電流は $C \cdot V_{pre}$ となり、これが V_{DD} から GND に流れることから、消費電力は

$$P_{VPRE} = f \cdot C \cdot V_{pre} \cdot V_{DD} \quad (6.2)$$

で表される。ここで $V_{pre} = V_{DD}/2$ としたものが $V_{DD}/2$ プリチャージ方式で、その消費電力は

$$P_{VDD/2} = f \cdot C \cdot V_{DD}^2/2 \quad (6.3)$$

となる。この他、以下に述べるようにイコライズによって $V_{DD}/2$ を作り出すことも可能である。即ち、
それぞれのマッチ線容量が $C/2$ となるようにメモリアレイを 2 分割する。その上で、一方を V_{DD} に
プリチャージし、もう一方を GND にリセットした後、両者をイコライズすることで全マッチ線電位を
 $V_{DD}/2$ とし、しかる後にサーチ動作させることでマッチ線の電位は Match 時に $V_{DD}/2$ 、Miss 時に
 GND となる。この場合の消費電力は、 V_{DD} にプリチャージする電荷 $C/2 \cdot V_{DD}$ が V_{DD} から GND
に流れることになるので (6.3) と同等になることが明らかである。次に本章での研究の主題である
チャージリサイクリング型の場合を検討する。上述の C に対応するものは ML_n 及び ML_p の各々の総
容量 $C/2$ である。サーチ動作時には $(C/2) \cdot (V_{DD}/2)$ の電荷が V_{DD} より ML_p に向かって流入す
る。同時に ML_n から GND に向かって同量の電荷が流出する。従って V_{DD} に対しては $C \cdot V_{DD}/4$
の電荷の移動に過ぎず、本方式での消費電力 P_{CR} は

$$P_{CR} = f \cdot C \cdot V_{DD}^2/4 \quad (6.4)$$

で示される。つまりチャージリサイクルマッチライン方式は、消費電力が半減できる $V_{DD}/2$ プリチャー
ジ方式とは異なり、電源電圧を $V_{DD}/2$ にしたのと同等の 75% の電力削減が可能になる。

6.2.2 チェッカーボードアレイ配置

チャージリサイクル型マッチラインを採用しても、その並列動作するという特質上、消費電力は同
一アレイサイズの通常の RAM に比べて大きなものとなる。このためメモリアレイの設計は通常の RAM
とは異なる配慮が必要となる。 V_{DD} 並びに GND 配線のインピーダンス低減が TCAM アレイのレイア
ウト設計のキーポイントになる。サーチ動作のためには NCAM アレイには GND 配線、PCAM アレイ
には V_{DD} 配線のみあればよい。しかしそれぞれに含まれる SRAM セルは V_{DD} , GND ともに必要で
ある。このため図 6.4 a) に示すように同一タイプのアレイをストライプ状に配置すると V_{DD} , GND そ
れぞれに流れる電流がバランスしない。このため、電源配線のレイアウトが困難になる、あるいは配

線に無駄が生じてしまう。これを回避するために図 6.4 b) のとおり NCAM アレイと PCAM アレイをチェッカーボードのように交互に配置することにした。この配置であれば VDD、GND それぞれに流れる電流はバランスするので、両者の配線幅を対称的に等しくレイアウトすることが最適解となり、レイアウトが容易になる。そのため、同一アレイサイズの条件下で IR ドロップが最小になる。また PCAM アレイと NCAM アレイで動作時の基板ノイズの方向が逆であるので、両者が打ち消しあうことで、チップ全体での基板ノイズも小さくなる。とくにチャージリサイクル型アレイのマッチアンプは $VDD/2$ と通常型の半分の信号振幅を増幅する必要があり、基板ノイズや IR ドロップの低減はマッチアンプの安定動作のためにも有用なことである。

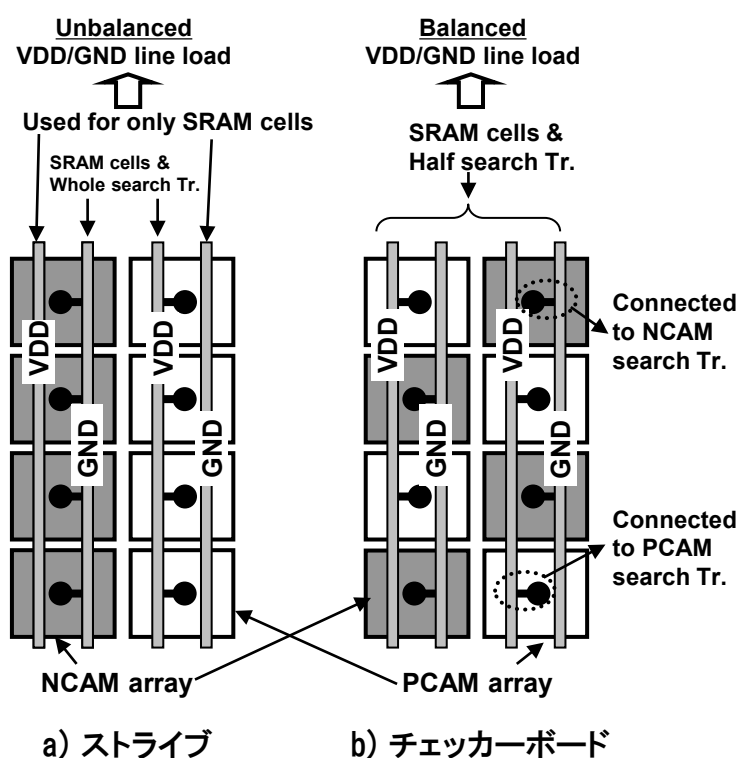


図 6.4 チャージリサイクル TCAM のアレイ配置

6.2.3 サーチ線チャージリサイクル

チェッカーボードアレイ配置はサーチ線のチャージリサイクル実現にも有用である。既報のサーチ線のチャージリサイクルは、前述のとおりサーチマスクが実現不可能であり、適用できるアプリケーションが制限がされていた。今回採用するものは逆方向に動作する NCAM アレイ用サーチ線と PCAM アレイ用サーチ線間でチャージリサイクルを行う。これには NCAM アレイと PCAM アレイが上下で隣接させられるチェッカーボードアレイ配置が有利である。

サーチ線チャージリサイクルの原理を図 6.5 の回路図で説明する。サーチ線ドライバは NCAM アレイと PCAM アレイに上下にはさまれた領域に配置されており、NCAM アレイ用サーチ信号 SL_n 、/ SL_n 並びに PCAM アレイ用の SL_p 、/ SL_p を生成する。 SL_n と SL_p 、/ SL_n と SL_p はそれぞれ相補の信号であり、これらの中でイコライズを行うことでチャージリサイクルが可能である。また $SL_n =$

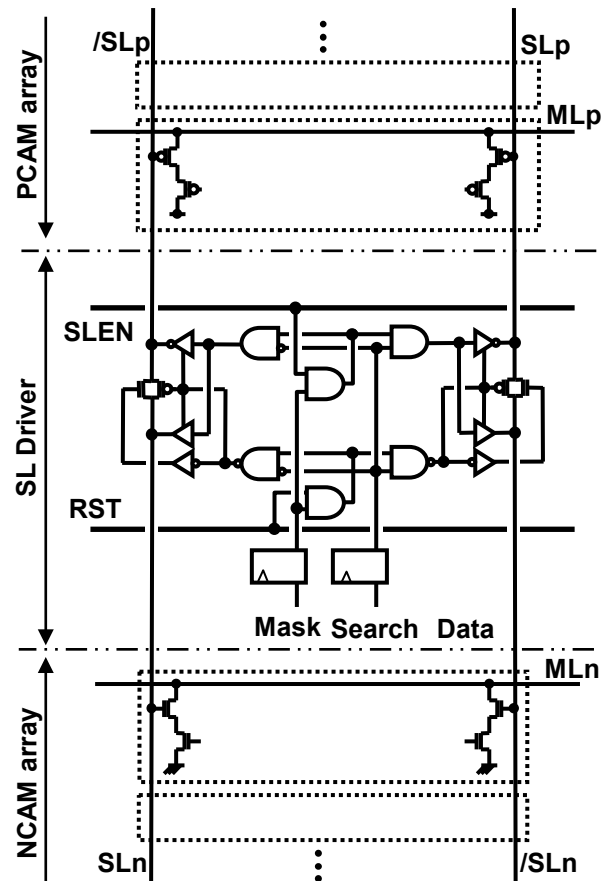


図 6.5 サーチ線チャージリサイクル

$SL_n=L$ とすれば $SL_p=/SL_p=H$ となって、これはサーチマスク状態を実現できる。

この回路の動作波形を図 6.6 a) に示す。サーチ線活性化信号 SLEN は全サーチ線を活性化させるための信号である。SLEN がネゲート状態の時には全サーチ線はスタンバイ状態になる。SLEN がアサートされると各サーチ線はそれぞれの入力データ及びマスク情報に従って選択的に活性化される。非選択状態のものは引き続きスタンバイ状態を保持する。サーチ動作終了時はチャージリサイクルを行うために RST がアサートされる。RST 信号は活性化状態にあったサーチ線ドライバに対してのみ作用し、チャージリサイクルを行う。RST がアサートされると SL_n と $/SL_p$ あるいは $/SL_n$ と SL_p のドライバがハイインピーダンス状態になるとともに、両者間のイコライザがターンオンしてチャージリサイクルが行われ $VDD/2$ になる。その後、RST 及び SLEN をネゲートすることで全サーチ線を非活性状態に戻す。

上述のチャージリサイクル動作での消費電力は以下に述べるとおり、通常の TCAM の $3/4$ である。図 6.1 の TCAM では SL と $/SL$ のサーチ線対の一方は1回の検索につき、1回の充放電が VDD と GND の間で発生し、もう一方は GND レベルのままである。従って通常動作のサーチ線の動作時電力 P_{SL} は

$$P_{SL} = n \cdot f \cdot C_s \cdot VDD^2 \quad (6.5)$$

となる。ここで C_s は一本のサーチ線の浮遊容量、 n は活性化されているサーチ線対の総数である。

今回提案のチャージリサイクルサーチ線方式においては、各々浮遊容量 $C_s/2$ の SL_n と $/SL_p$ の対が SL に、同じく浮遊容量 $C_s/2$ ずつの $/SL_n$ と SL_p の対が $/SL$ に対応する。この後の説明は

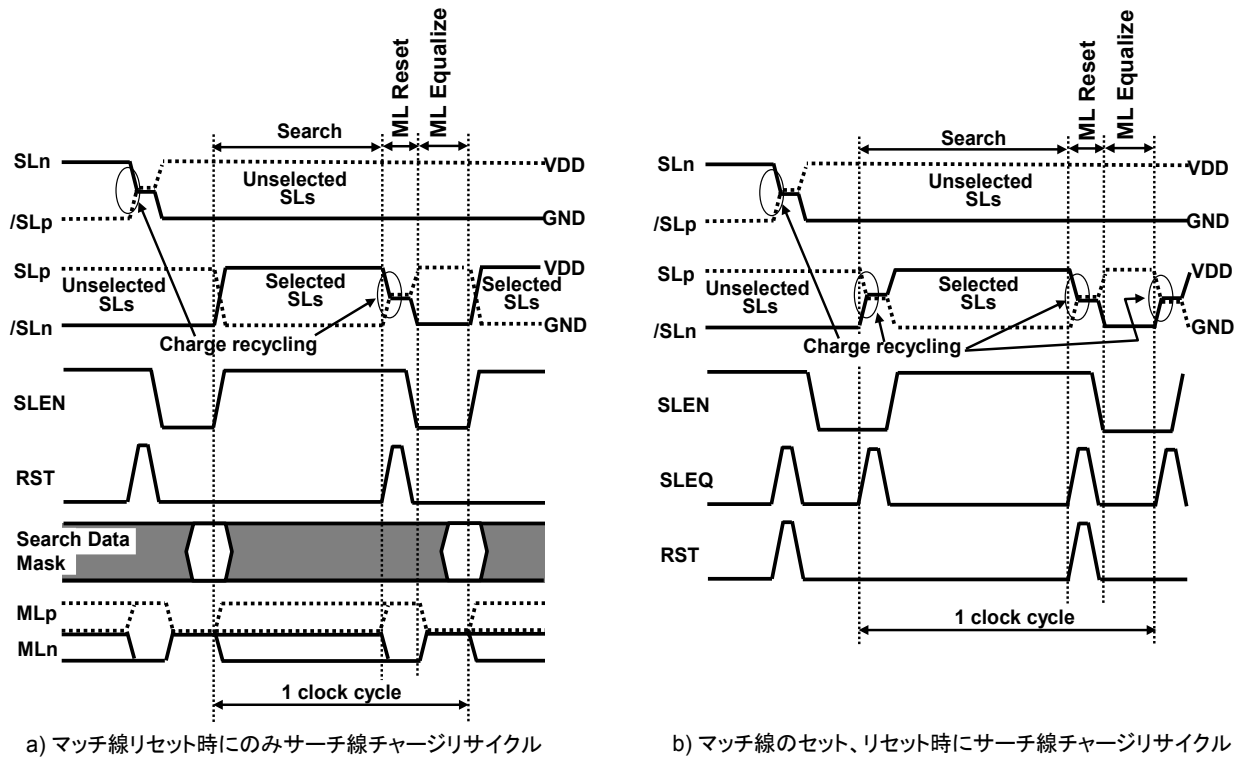


図 6.6 サーチ線チャージリサイクルの動作波形

SLEn と /SLp が活性化され、/SLEn と SLp はスタンバイ状態に維持される場合を前提に行う。アサート時は、チャージリサイクリングを行わないので、SLEn が GND から VDD へ遷移する際に $(C_s/2) \cdot VDD$ の電荷が VDD から充電され、/SLp が VDD から GND へ遷移する際に $(C_s/2) \cdot VDD$ の電荷が GND へ放電される。ネゲート時は、チャージリサイクリングによって SLEn を VDD から VDD/2 に、/SLp を GND から VDD/2 に遷移させるので VDD, GND との電荷の移動はない。次いで SLEn を VDD/2 から GND に遷移させるために $(C_s/2) \cdot (VDD/2)$ の電荷を GND へ放電し、また /SLp を VDD/2 から VDD に遷移させるために $(C_s/2) \cdot (VDD/2)$ の電荷を VDD から充電する。以上のことから 1 回のサーチ線動作によって $3C_s \cdot VDD/4$ の電荷が VDD から GND へ移動することになる。従ってチャージリサイクルサーチ線方式でのサーチ線動作の消費電力 P_{SCR} は

$$P_{SCR} = 3 n \cdot f \cdot C_s \cdot VDD^2/4 \quad (6.6)$$

となり、従来型の 75% に消費電力を削減できる。

上述の説明ではサーチ線のネゲートタイミングでのみチャージリサイクリングを適用したが、アサート時にも適用することができる。図 6.6 b) にそのタイミングチャートを示す。サーチ線イコライズを図 6.5 のようにマッチ線イコライズ信号 RST を流用するのではなく、新設した SLEQ にて行う。SLEQ はサーチ線ネゲート時には RST と同一タイミングで動作し、アサート時にはサーチ線活性化信号 SLEN アサートに先立ってアサートされ、イコライズが完了した時点でネゲートされる。この動作により消費電力は従来型の 50% にまで削減できる。但しサーチ線のアサートがイコライズと SLEN により最終レベルまでのアサートの 2 段階となるため、ネゲート時のみのチャージリサイクリングに比べてサーチ速度が遅くなるので、消費電力とサーチ速度のトレードオフによっていずれの方式を採用するかを選択す

ることが必要になる。

6.3 チップ設計

以上の提案のマッチ線ならびにサーチ線にチャージリサイクル方式を適用した TCAM を実現するに当たり、本構成特有の要検討項目としてメモリセルの設計並びにメモリセルアーキテクチャを挙げ、その技術的内容について以下に述べる

6.3.1 メモリセル設計

既に述べているように、チャージリサイクルのマッチ線への適用は消費電力低減に有効な手段であるが、高精度のマッチアンプが必要になるという課題がある。これは従来の TCAM であればマッ
チ線の振幅が最大で V_{DD} が確保できていたのに対して、チャージリサイクル方式ではその半分の $V_{DD}/2$ しか確保できないことによるものである。この制約を極力緩和するために、メモリセルの設計に考慮した。

図 6.7 に示すように、TCAM セルは比較器のトランジスタの接続によって2種類に分類することができる。ひとつはサーチ線がゲートに接続されたサーチトランジスタのドレインがマッチ線に接続され、メモリセルがゲートに接続されたストレージノードトランジスタのソースが電源又は GND に接続されたものである。もうひとつは逆にストレージノードトランジスタのドレインがマッチ線に、サーチトランジスタのソースが電源又は GND に接続されたものである。ここでは前者をトップサーチラインセル、後者をボトムサーチラインセルと呼ぶことにする。

ボトムサーチラインセルにおいては、SRAM セルに書き込まれたデータに依存してマッチ線の容量が変わってしまう。データが‘0’又は‘1’のときにはストレージノードトランジスタのチャネル部分の容量がマッチ線に接続された状態になるが、Don't care 状態の時にはチャネル容量が接続されないためである。このためマッチ線 ML_n と ML_p の容量が等しいことを前提に、両者をイコライズすることによって $V_{DD}/2$ を生成するチャージリサイクルマッチ線方式には適用しづらい。一方でトップサーチラインセルは ML_n と ML_p 間のイコライズを実施する前に全サーチ線を非活性化するとマッチ線の寄生容量にチャネル容量成分を含まないようにすることができる。つまりデータパターンに依存することなくマッチ線容量を一定にすることが可能である。このため、今回の試作においてはトップサーチラインセルを採用した。

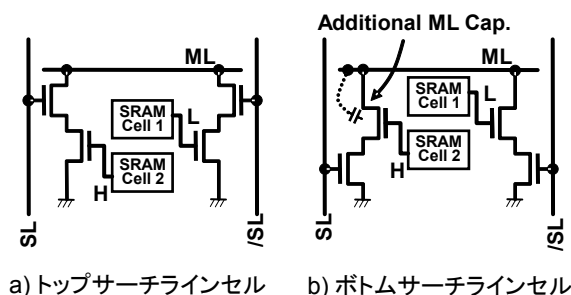


図 6.7 TCAM セルの分類

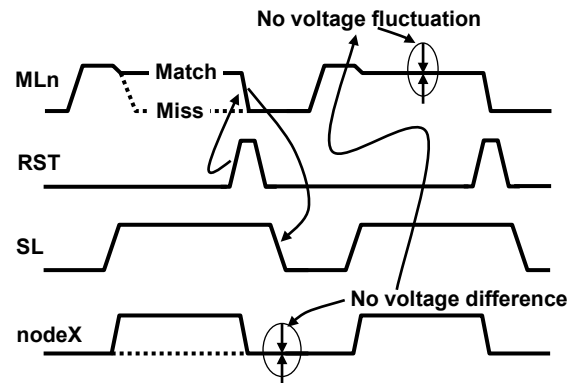


図 6.9 チャージシェアリング対策の駆動波形

6.3.2 アレイアーキテクチャ

マッチアンプの配置はサーチ速度やチップサイズを左右する重要な設計項目である。チャージリサイクルを実証するテストデバイスの設計に当たって、図 6.10 に示す 3 種類のアレイアーキテクチャを検討した。

単純マッチアンプ方式

図 6.10 a) にそのブロック図を示すとおり、1 ワードを NCAM アレイ又は PCAM アレイのいずれかに割り当てるものである。マッチ線イコライザ MLEQ は NCAM アレイと PCAM アレイの間に配置されており、チャージリサイクリングは NCAM アレイに所属するものと PCAM アレイに属するもので隣接する 2 ワードの間で行われる。本構成はマッチアンプやイコライザ等の周辺回路の規模が以下に述べる方式に対して最小であるため、面積は最小になる一方で、マッチ線の長さが最大になるため、サイクルタイムの観点では不利になる。

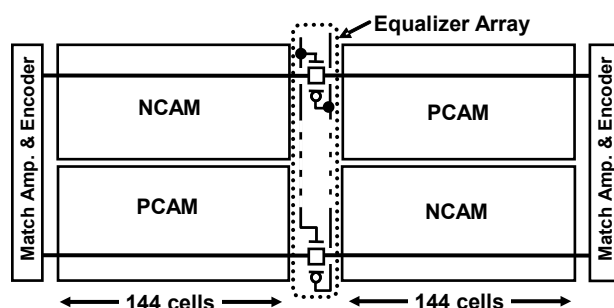
メイン / サブマッチアンプ方式

本方式は 1 ワード分のマッチ線を中央で 2 分割し、一方を NCAM アレイに、もう一方を PCAM アレイに割り当てる。マッチ線長が a) の方式の半分であるので、マッチ線充放電の時定数は 1/4 にすることができる。図 6.10 b) にて本方式を説明する。水平方向に NCAM アレイを 2 個、PCAM アレイを 2 個の計 4 個のアレイを配置する。ここでは内側のアレイをサブアレイ、外側をメインアレイと称する。またサブアレイに属するマッチアンプをサブマッチアンプ、メインアレイに属するものをメインマッチアンプと証することにする。サブマッチアンプとマッチ線イコライザはサブアレイとメインアレイの中間に配置する。メインマッチ線は 4 個のアレイの外側に配置する。その動作は、サブマッチアンプがサブアレイ内のサブマッチ線の状態を検知し、それをメインアレイ内のメインマッチ線に伝達し、メインマッチアンプでメインマッチ線の情報を増幅することで判定を行う。サブマッチアンプの活性化は信号 SAME (Sub Match Amplifier Enable) によって行われる。サブマッチアンプに判定結果が Miss であった場合には転送信号 /MDT (Match line Data Transfer) が活性化されると、メインマッ

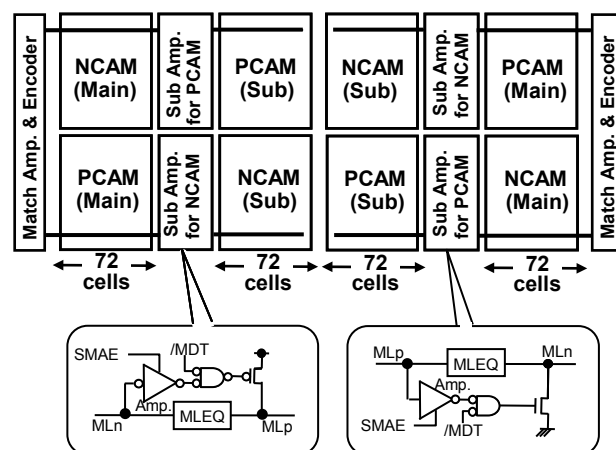
チ線を充電又は放電するためのトランジスタが on することでサブアレイの Miss 状態がメインアレイに転送される。なおこの充放電用トランジスタのチャンネル幅は CAM セルのものに比べて大きくしておくことで、転送の高速化を図っている。最後にメインマッチアンプでサブマッチ線の情報が転送された後のメインマッチ線情報を検出して動作を完了させる。本方式はサブマッチアンプの面積ペナルティはあるものの、サーチ速度の向上に有利な方式であり、テストチップには本方式を採用した。

パイプライン型メイン / サブマッチアンプ方式

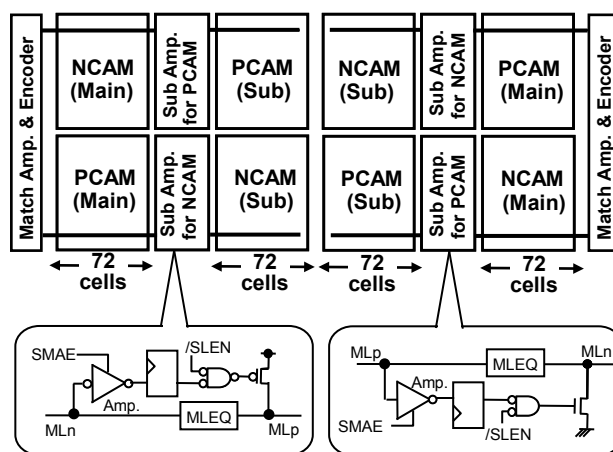
メイン / サブマッチアンプ方式ではマッチ線の長さを 1/2 にすることで高速化を図ったが、サブマッチ線の活性化→サブマッチ線状態のメインマッチ線への転送→メインマッチ線の活性化を時系列的



a) 単純マッチアンプ構成



b) メイン/サブマッチアンプ構成



c) パイプライン メイン/サブマッチアンプ構成

図 6.10 チャージリサイクル TCAM のマッチアンプ構成

に行う必要があり、十分な高速化のためにはこれらの制御信号発生タイミングがクリティカルになる。この課題に対する解のひとつがパイプライン動作である。サブマッチアンプの出力をフリップフロップで受けて、メインマッチ線の判定をサブマッチ線の判定の次サイクルで実施する。これによりサブマッチアンプとメインマッチアンプの活性化を同時に行うことができ、制御信号の時系列動作を回避できる。本方式は前述のメイン / サブマッチアンプ方式と比較すると、サーチ動作に必要なクロック数は1クロック増加するが、クロック周波数の高速化を図ることが出来る。従って、対応するべきクロック周波数に応じてメイン / サブマッチアンプ方式とパイプライン型メイン / サブマッチアンプ方式を使い分けることが出来る。

6.4 テストデバイス

これまで述べた技術の検証のために 0.18 μ m プロセスを用いて、144kbit のテストデバイスを設計した。採用した技術は

- 1) マッチ線チャージリサイクリング
- 2) サーチ線チャージリサイクリング（ネゲート時にチャージリサイクリング実施）

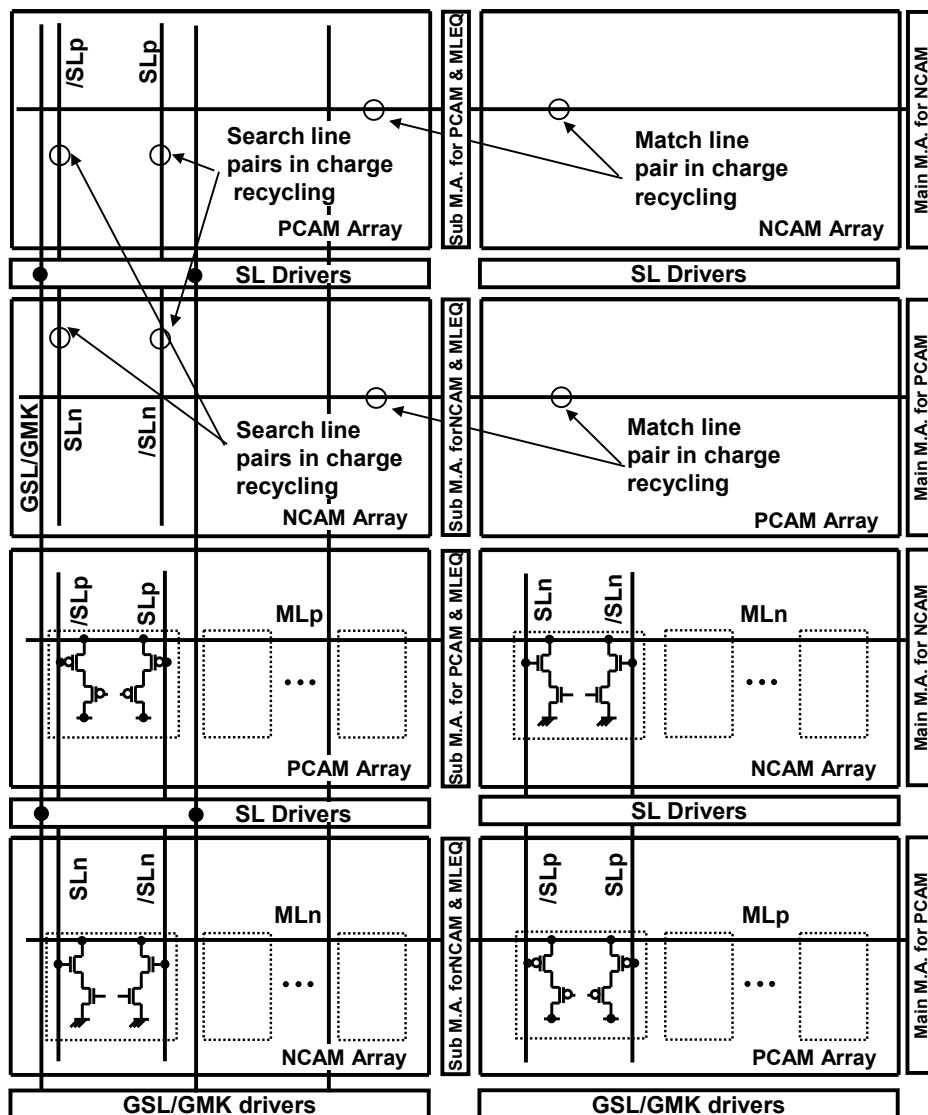


図 6.11 テストデバイスのブロック図

- 3) チェッカーボードアレ配置
 - 4) トップサーチラインセル
 - 5) メイン / サブマッチアンプ構成
- である。

図 6.11 にテストデバイスのブロック図を示す。144 bits/word × 512 words のブロックを垂直方向に 2 ブロック配置しており、図 6.10 b) の右半分に対応する。4つの NCAM アレイと4つの PCAM アレイをチェッカーボード状に配置した。図面上で水平方向にマッチ線とワード線が、垂直方向にサーチ線とビット線が延在するようにレイアウトされている。サーチ線ドライバ帯は 2 箇所設けてありその両者を階層サーチ線構造で接続した。グローバルサーチ線 GSL とグローバルマスク線 GMK を垂直方向に配線し、入力信号をサーチ線ドライバへ伝達している。マッチ線チャージリサイクリングは左右に隣接したアレイ間で行われる。またサーチ線チャージリサイクリングはドライバ帯を挟んで上下に配置されたアレイ間で行われる。

図 6.12 に動作タイミングを示す。まず、サーチ動作が完了すると、RST をアサートして全てのマッチ線をリセット即ち Miss 状態に移させる。同時にサーチ線のチャージリサイクリングも行われる。サーチライントランジスタとストレージノードトランジスタ間の浮遊容量が放電されるだけの時間が経過した

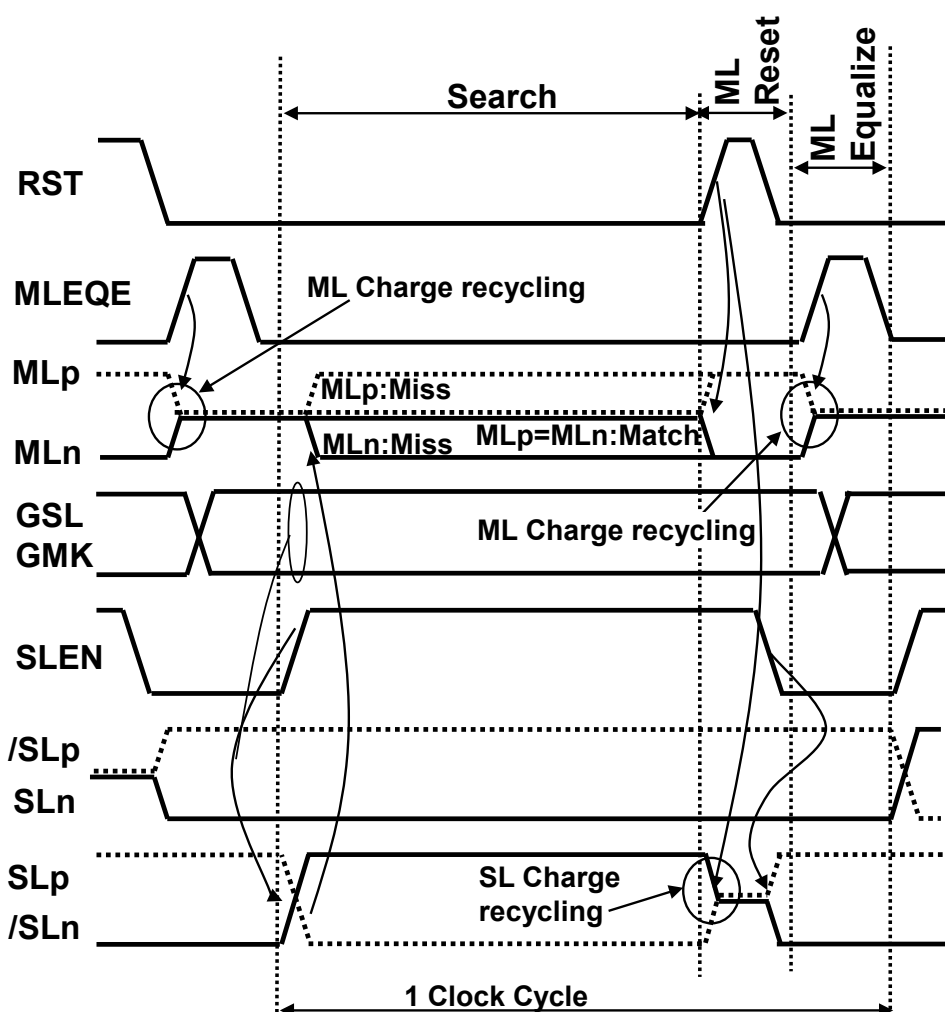


図 6.12 テストデバイスのサーチ動作波形

後に RST のネゲート次いで SLEN をネゲートしてサーチ線をリセットすることで、サーチ線は次のサーチの準備が完了する。マッチ線は RST をネゲート後に MLEQ をパルス状に印加して、マッチ線のチャージリサイクリングが完了した時点で、次のサーチの準備が完了する。マッチ線及びサーチ線共にサーチ準備が完了後に、SLEN をアサートすることで GSL, GMK に対応してサーチ線が選択的に活性化されて、サーチ動作が開始する。この後、サブマッチアンプ活性化、データ転送、メインマッチアンプ活性化が行われてサーチ動作が完了することは 6.3.2 節に述べたとおりである。

テストデバイスの顕微鏡写真を図 6.13 に示す。メモリセルのサイズは NCAM アレイ、PCAM アレイの何れも $3.44\mu\text{m} \times 6.53\mu\text{m}$ である。コアサイズは $3.67\text{mm} \times 0.98\text{mm}$ であり、マッチアンプ、マッチ線イコライザ、階層制御を含むサーチ線ドライバがその 4.5% を占めている。表 6.1 にその特性をまとめる。

表 6.1 テストデバイスの主要諸元

Technology	0.18 μm 6-Metal CMOS
Core size	3.67 mm \times 0.98mm
CAM cell size	3.44 μm \times 6.53 μm
Organization	1k words \times 144 bits
Supply voltage	1.8 V
Clock cycle time	10.4nsec
Array latency	1
Power dissipation	6.3 fJ/bit/search

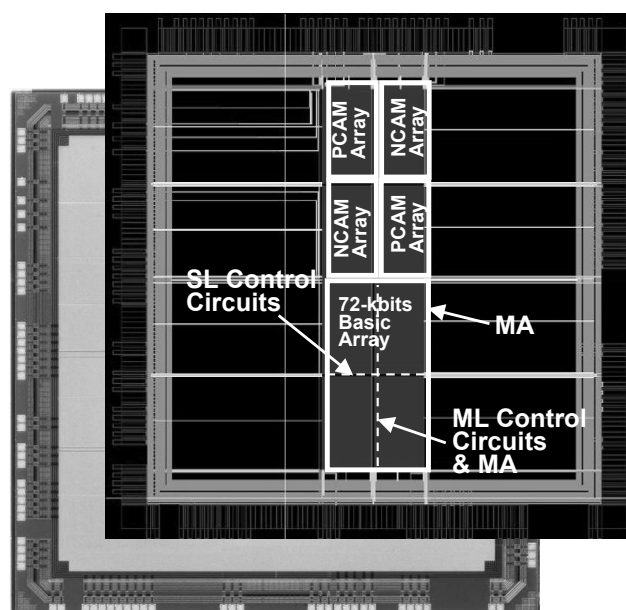


図 6.13 テストデバイスの顕微鏡写真

VDD=1.8V、クロック周波数 100MHz でのシミュレーション結果を図 6.14 に示す。この波形は NCAM がサブアレイ、PCAM がメインアレイの部分のものである。上段がアレイ内の主要信号の電圧波形であり、下段がマッチ線 1 本当りりの電源電流を、また横軸方向には 3 回のサーチ結果を示している。3 サイクルの動作の最初のもの MLn, MLp とともに Match、2 サイクル目は MLp が Match し MLn が 1bit のみの Miss、3 サイクル目は MLn, MLp 共に 72bits 全てのセルが Miss の場合を示している。2 サイクル目で、MLp が VDD/2 から VDD に変化しているのはサブアレイである MLn の

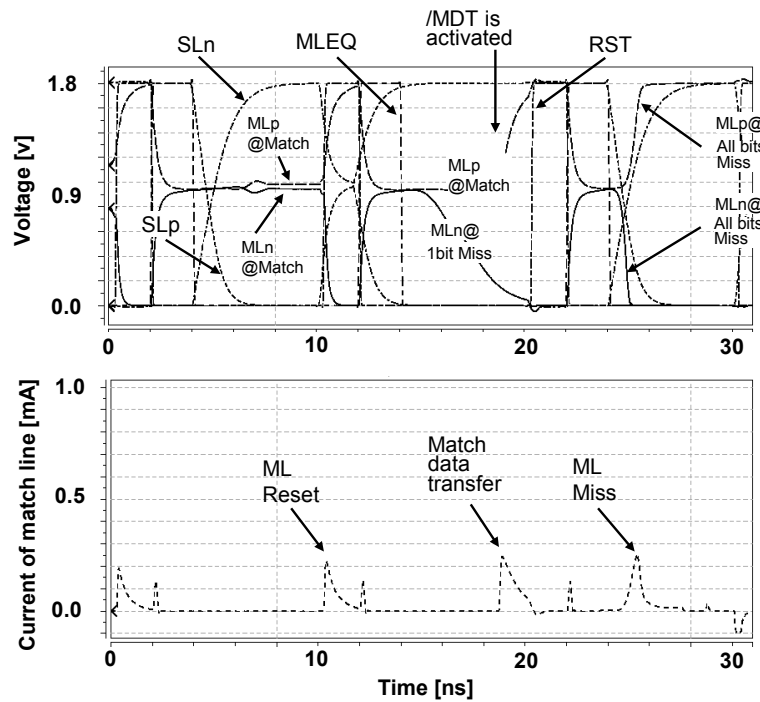


図 6.14 テストデバイスのサーチ動作シミュレーション波形

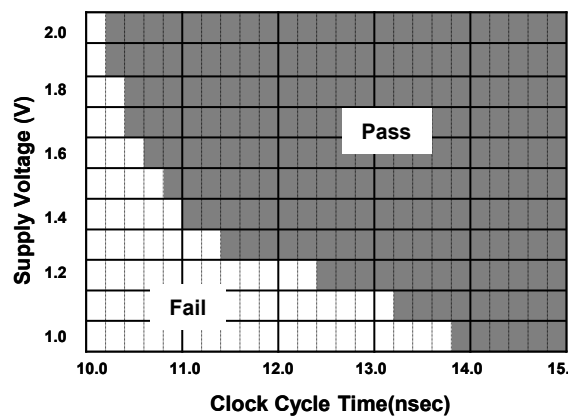


図 6.15 テストデバイスのシムープロット

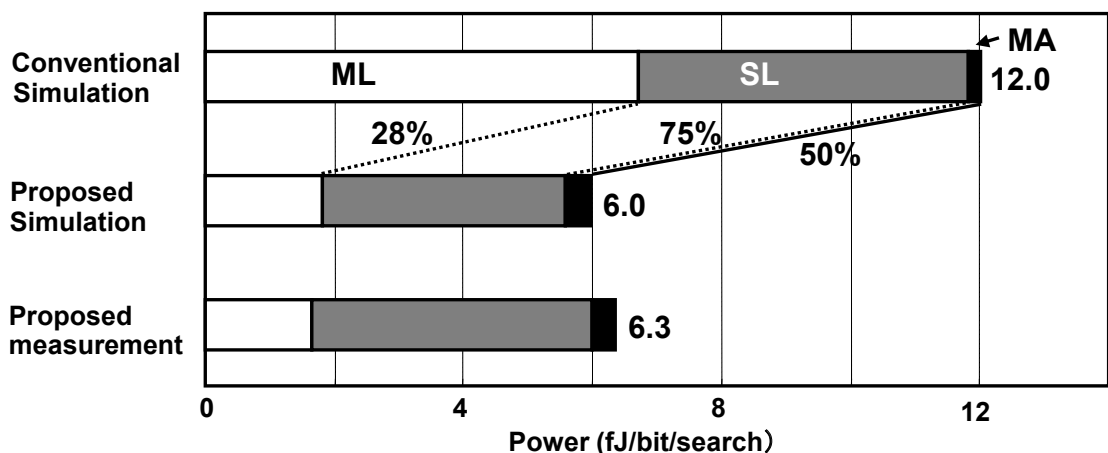


図 6.16 テストデバイスと通常の CAM の消費電力比較

状態が /MDT 活性化によって MLp に伝達されたためである。このサイクルでは 1bit のサーチトランジスタによってマッチ線の電荷を放電する必要があるので 3 サイクル目に比べて MLn の tf が大きくなっている。従ってこの 2 サイクル目の状態がこの TCAM のサーチ周期を決めるワーストポイントであ

る。一方で3サイクル目はMLpのtrが大きいことから電源電流のピーク値が最大になっている。

テストデバイスのシミュレーションを図6.15に示す。VDD=1.8Vにて10.4nsecサイクルで動作しており、ほぼシミュレーションどおりの結果となった。消費電力の実測値をシミュレーション値と共に図6.16に示す。マッチ線、サーチ線の消費電力はVDDプリチャージ方式に比べて各々28%,75%に、全消費電力で50%と、当初の見積もりどおりに低減したことが確認できた。

6.5 結言

本章ではTCAMの低消費電力化のためにマッチ線並びにサーチ線に対してチャージリサイクリングを適用することの研究を行った。PMOSで構成されるアレイをNMOSで構成されるアレイと混在させることで、これまでCAMにチャージリサイクリングを適用する上で障害となっていた課題が解決できることを示し、このアレイを動作させるためにメモリセルの構成、マッチアンプの配置についての提案を行った。更にそれに基づいて設計したテストデバイスにてその有用性を実証した。

- 1) PMOSで構成されたアレイとNMOSで構成されたアレイを組み合わせることでチャージリサイクリングがTCAMのマッチ線へ適用することを提案した。これによる消費電力低減の効果が電源電圧を1/2にするのと同様に1/4となることを示した。この値はオンチップレギュレータ搭載等によって得られるものの更に1/2であることも示した。
- 2) マッチ線チャージリサイクリングを適用する場合のアレイ配置について検討し、PMOSアレイとNMOSアレイをチェッカーボード状に配置することを提案し、チェッカーボード状配置によりVDD,GND配線のインピーダンスを効果的に低減することができ、TCAMの動作マージン拡大に有効であることを示した。またチェッカーボード状配置により、サーチ線に対してもチャージリサイクリングが適用でき、これによる消費電力の低減効果はサーチ線のネゲート時にチャージリサイクリングを適用することで3/4に、さらにアサート時とネゲート時の両方に適用することで1/2に低減できることを示した。
- 3) メモリセルの構成としてサーチ線に接続されるトランジスタ（サーチトランジスタ）の位置によってトップサーチ線セルとボトムサーチ線セルに分類し、マッチ線チャージリサイクリングにはトップサーチ線セルが適していることを示した。同時にトップサーチ線セルにはチャージシェアリング効果によるマッチ線電位の揺らぎが存在することを明らかにし、その解決策としてマッチ線のリセット完了までサーチ線をアサート状態のまま保持することが有効であることを示した。
- 4) チャージリサイクリングCAMを適用したマッチアンプの配置を検討した。ワード長ごとにマッチ線を配置する単純型の他に、マッチ線をワード長の半分に分断しそれぞれにマッチ線を配置するメイン/サブマッチアンプ方式、さらにそれをパイプライン動作させるパイプライン型メイン/サブマッチアンプ方式を提案した。要求される動作周波数と許容されるエリアペナルティによって選択可能であることを示した。
- 5) 以上の技術を実証するためのテストデバイスを0.18umプロセスにて試作した。消費電力の実測

値 6.3fJ/bit/search を得た。これは通常型の TCAM の 52.5% であり、設計値の 50.0% にほぼ一致し、本構成が有効であることを示した。

以上の結果より本章での研究はメモリを演算器として用いる CAM において重要な低消費電力化に貢献できることを確認した。

参考文献

- [1] G.Kasai, et al., “200MHz/200MSPS 3.2W at 1.5V VDD, 9.4Mbits Ternary CAM with New Charge Injection Match Detect Circuits and Bank Selection Scheme,” Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 387–390, Sep. 2003.
- [2] M. Khellah, and M. Elmasy, “Use of Charge Sharing to Reduce Energy Consumption in Wide Fan-In Gates,” Proceedings of the IEEE International Symposium on Circuits and Systems, vol. 2, pp.9–12, May 1998.
- [3] H. Yamauchi, et al., “An Asymptotically Zero Power Charge-Recycling Bus Architecture for Battery-Operated Ultrahigh Data Rate ULSI’s,” IEEE Journal of Solid-State Circuits, vol.30, no. 4, pp. 423–431, Apr. 1995.
- [4] B. Yang, and L. Kim, “A Low-Power CAM Using Pulsed NAND–NOR Match-Line and Charge-Recycling Search-Line Driver,” IEEE Journal of Solid-State Circuits, vol. 40, no. 8, pp. 1736–1744, Aug. 2005.
- [5] Y. Kim, et al., “A Strage- and Pwer-Efficient Rnge-Mtching TCAM for Pcket Cassification,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 168–169, Feb. 2006.
- [6] A. Roth, et al., “Advanced Ternary CAM Circuits on 0.13 μ m Logic Process Technology,” Proceedings of the IEEE Custom Integrated Circuits Conference, pp.465–468, Oct. 2004.
- [7] I. Hsiao, et al., “Power Modeling and Low-Power Design of Content-Addressable Memories,” Proceedings of the IEEE International Symposium on Circuits and Systems, vol. 4, pp.926–929, May 2001.
- [8] C. Zukowski, and S. Wang, “Use of Selective Precharge for Low-Power Content-Addressable Memories,” Proceedings of the IEEE International Symposium on Circuits and Systems, vol. 3, pp. 1788–1791, June 1997.
- [9] K. Pagiamtzis, and A. Sheikholeslami, “Pipelined Match-Lines and Hierarchical Search-Lines for Low Power Content Addressable Memories,” Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 383–386, Sep. 2003.
- [10] K. Pagiamtzis, and A. Sheikholeslami, “A Low Power Content Addressable Memory (CAM) using Pipelined Hierarchical Search Scheme,” IEEE Journal of Solid-State Circuits, vol. 39, no. 9, pp.1512–1519, Sep. 2004.
- [11] H. Noda, et al., “A 143MHz 1.1W 4.5Mb Dynamic TCAM with Hierarchical Searching and Shift Redundancy Architecture,” Digest of Technical Papers. , IEEE International Solid-State Circuits Conference, pp. 208–523, Feb. 2004.
- [12] S. Lee, and T. Sakurai, “Run-time Voltage Hopping for Low-Power Real-Time System,”

Proceedings of the Design Automation Conference, pp. 806–809, June 2000.

- [13]T. Kusumoto, et al., “A Charge Recycling TCAM with Checkerboard Array Arrangement for Low Power Applications,” Proceedings of the IEEE Asian Solid-State Circuits Conference, 2008. , pp.253–256, Nov. 2008.
- [14]K. Dosaka, et al., “A Complete Charge Recycling TCAM with Checkerboard Array Arrangement for Low Power Applications,” IEICE Transactions on Electronics, vol. E93-C no. 5 pp. 685–695, May 2010.

第 7 章 結論

7.1 総括

機能メモリに求められる高速化と低消費電力化に関して第2章から第6章にわたって詳細を述べた。本章では本研究で得られた結果を総括する。

第2章では機能メモリとして、DRAMとSRAMをワンチップ化したキャッシュDRAMについて種々の基本的項目の研究を行った。得られた結果を以下の通りである。

- 1) アクセス時間やヒット率の面で有利な局所配置型キャッシュDRAMのアーキテクチャを検討した。DRAMアレイのワード線裏打ち領域にビット線と平行にデータバスを配線することで、最小のエリアペナルティで局所配置型を実現した。この局所配置型アレイは4I/O構成のキャッシュDRAMに対してデータバスを64bit用意することができ、16ワードという大きなブロックサイズを実現した。これはキャッシュとメインメモリをワンチップ化しなければ実現困難である。
- 2) SRAMとDRAMを結ぶバッファアンプDTBの検討を行い、SRAMデータをDRAMへ転送するDTB1とDRAMデータをSRAMへ転送するDTB2の別パスをもたせる構成を提案した。DTB1はSRAMとDRAMのサイクルタイムの差を吸収する目的で内部にラッチを持たせた。
- 3) 上記構成のDTBを用いて新たにファストコピーバックモードを提案した。ファストコピーバックモードは通常のコピーバックモードとは逆に、まずCPUからのアクセス要求のあったデータをキャッシュに読み出した後にDTB1の保存されていた書き戻すべきデータをメインメモリに書き戻すもので、CPUからみたキャッシュミス時のアクセス時間は従来のキャッシュシステムに比べて1/3に短縮される。本モードはDRAMとSRAMをワンチップ化し、さらにDTBを2系統に分けたことで実現できた。
- 4) キャッシュDRAMとしてDRAMアレイと組み合わせるSRAMアレイを検討し、T字型ビット線構成を採用することでDRAMアレイとの結合を容易に行うことができることを明らかにした。SRAMアレイの上下にDRAMアレイを配置することで高速アクセスが要求されるSRAMを配線遅延が最小なチップ中央に集中配置することができ、キャッシュアクセス時間の短縮を実現できた。
- 5) 以上の提案を通常の4MビットDRAMをベースに、16kビットのSRAMを搭載したテストデバイスにて実証した。試作したテストデバイスはDRAMアドレスとSRAMアドレスを完全分離したピン配置を採用し、局所配置型であることとあいまってマッピングの自由度を最大にした。即ちコントローラの対応によってダイレクトマッピングからフルアソシアティブまで選択可能である。試作デバイスは0.7 μ m DRAMプロセスにてチップサイズ82.9mm²であり、SRAMを搭載したにもかかわらず汎用DRAMに対してわずか7%の面積ペナルティに抑えることができた。
- 6) テストデバイスを用いたコンピュータシステムと従来構成のキャッシュを採用したコンピュータシステムをシミュレーションで比較し、SPECmakベンチマークテストでキャッシュ容量が8倍の従来構成キャッシュを採用したものと同等の速度を実現した。

以上のことより DRAM と SRAM をワンチップ化し、その間をワイドバンドのバッファで結んだキャッシュ DRAM が機能メモリとして有効なアーキテクチャであることを工学的に実証した。

第 3 章ではユニファイドメモリ構成というシステム側からの要求に対して、コンカレントキャッシュ DRAM を提案した。更にシステムの部品点数削減を目指してコントローラの研究を行い、キャッシュ DRAM に内蔵できる目処を得た。その結果に基づいてテストデバイスを試作し、研究内容の実証を行った。

- 1) キャッシュ DRAM のデータ転送バッファの改良を行い、DRAM へのデータ転送を行う DTBW と DRAM からのデータ転送を行う DTBR のそれぞれをマスタスレーブラッチ構成とした。さらにコマンドを DRAM コマンドと SRAM コマンドに分離して、DRAM と SRAM がそれぞれを独立制御可能とした。以上を組み合わせることで DRAM と SRAM が並列で動作できるコンカレントキャッシュ DRAM のアーキテクチャを提案した。
- 2) コンカレントキャッシュ DRAM の拡張としてキャッシュコントローラを内蔵し、CPU と 2 チップでコンピュータシステムが構成できるコントローラ内蔵キャッシュ DRAM の構成を研究した。マッピングはダイレクトマップ方式とすることで、TAG の検索と並行して SRAM からの投機的な読み出しが可能となり、キャッシュヒット時のノーウェイト動作を実現した。
- 3) 高速クロックへの対応としてセルフタイムド・クロックバッファを提案した。本クロックバッファはポジティブエッジのみ、外部のクロックエッジの遷移に基づいて応答し、ネガティブエッジはポジティブエッジの内部遅延で決定される。本構成によりクロックドライバの段数を削減することができ、クロックアクセス時間の短縮を実現した。さらにクロック周波数によらず一定のクロック‘H’時間を確保することができた。
- 4) オープンドレイン信号の高速化を目的としてアクティブプルアップ回路を提案した。クロック同期インターフェースであることを利用して、ネゲート時にプルアップ用のトランジスタを 1 クロック以内のパルスでプルアップするもので、これによりオープンレインの簡単にワイヤード OR が構成できるという利点を生かしつつ、ネゲートがプルアップ抵抗のみで行うために応答速度が遅いという短所が解消できる。
- 5) 以上の提案を実証するためのテストデバイスを汎用 16M ビット DRAM プロセスで試作し、90MHz のクロック周波数での動作を確認した。キャッシュヒット時には投機的読み出しによりノーウェイトでのアクセスが可能であることを確認した。

以上のことから、本研究で得られたコントローラ内蔵キャッシュ DRAM はシステム側からの多様な要求に応えることができ、高速化、高機能化へ大きく貢献できることを明らかにした。

第 4 章の研究では SoC への組み込む混載 DRAM について、様々な記憶容量や語構成への対応を目的としてモジュール化することを研究した。さらにその結果に基づいてテストデバイスを試作し、

効果を実証した。

- 1) 混載 DRAM コアをモジュール化するためにメモリアレイの構成要素をメモリアレイ、I/O 回路、ローカル制御回路、マスタ制御回路に分割し、これらを適宜配置することで様々な SoC の要求にこたえられるアーキテクチャが実現できた。モジュール構成によらず、タイミングの再設計を不要にすることを目的としてオートシグナルマネージメント ASM 方式を提案した。ASM 方式は等負荷配線、両エッジタイミング信号によるロウ系制御、ループバック型カラム系制御より構成されている。本方式では最高動作周波数はモジュール構成に依存して変わるが、各制御信号間の位相調整が不要であるという特徴を持ち、短 TAT での混載 DRAM マクロの提供が可能になる。
- 2) 等負荷配線はローカル制御ブロックへ入力されるクロック、制御信号、アドレス信号の配線の線幅並びにスペースを一定にすると共に、ローカル制御ブロックの入力バッファサイズを一定にし、さらに送出側の中央制御回路のドライバの最終段のサイズを全て同一のものにした。これによりクロックと各制御信号間あるいはアドレス信号間の遅延量は中央制御回路からの距離のみに依存する。このため中央制御回路におけるモジュール構成ごとの制御信号の位相調整が不要になる。
- 3) バンク独立ロウ制御信号線制御は、複数クロックサイクルにまたがるロウ系制御に等負荷配線を適用することを目的としたものである。DRAM コアの駆動シーケンスに応じて非同期ジョンソンカウンタでタイミングエッジを中央制御回路からローカル制御回路に信号伝送する。この制御信号線群を複数セット準備することでマルチバンク構成への対応が可能となる。試作デバイスの場合 3 セットの制御信号線を準備しておくことで 32 バンクまでの対応が可能であり、多バンク構成時の信号配線の削減にも効果がある。リフレッシュアドレスカウンタはモジュール構成によって、カウンタの最大値を変更するプログラマブルカウンタとする必要がある。このためリフレッシュアドレスカウンタは中央制御回路部に配置し、リフレッシュアドレスのバンクアドレスの割り当てを中央制御回路の遠端を最小とし、以下中央制御回路に向かってインクリメントするようにした。中央制御回路に隣接するローカル制御回路は最上位のリフレッシュバンクであり、このバンク選択信号を使ってリフレッシュカウンタをリセットすることでプログラマブルカウンタを実現した。
- 4) ループバック型カラム系制御は制御信号の伝送方向をデータの伝送方向にそろえるもので、中央制御回路で生成された読み出し系制御信号は、各ローカル制御回路上を通過して最遠端のローカル制御の外側に配置したループバックバッファに伝えて、ループバックバッファ通過後の信号をローカル制御回路に供給する。このように構成することで（ローカル制御回路上の信号配線長）+（メモリアレイ上のデータバスの配線長）がサブアレイの位置によらず一定となり、モジュール構成ごとのカラム系制御信号のタイミング調整を不要にした。
- 5) SoC の製品テストに用いられるロジックテストはメモリテスト機能が乏しく、混載 DRAM は別途メモリテストでテストしていたが、テストコストの上昇を招くことからメモリアレイに BIST（Built In Self Test）を搭載した。搭載した BIST 回路はマイクロインストラクションベースのシーケンサを中心としたパターンジェネレータ部、I/O 毎の入出力アンプと一体化させたパスフェイル判定部、さらに

は冗長回路により救済のための冗長救済判定部から構成し、従来メモリテストで行っていたテストリングをすべてオンチップで行うことができた。これにより SoC のテストをロジックテストのみで行うことが可能になった。

- 6) ASM 方式を採用し、BIST 回路を搭載したモジュール構成 DRAM コアの有用性を確認するために 32Mbit の DRAM コアを 0.18 μ m 混載 DRAM プロセスで試作した。広い電源電圧に対応するためにレベルシフト回路に 2 段 CVSL (Cascade Voltage Switch Logic) 方式を採用した。ロジック電圧 1.8V にてクロック周波数 200MHz、ロジック電圧 1.2V にてクロック周波数 100MHz で動作し、それぞれの消費電力は 1.16W と 0.32W であることを確認した。これによって高速、低消費電力いずれのアプリケーションにも対応できることを明らかにした。

以上、本研究では混載 DRAM コアのアーキテクチャとしてバリエーション展開が容易なモジュール構成ならびに回路構成を提案した。またテスト工程の簡略化を目的とした混載 DRAM コア用の BIST 回路を開発した。これらを搭載した試作デバイスでその有用性を実証した。これらにより混載 DRAM コアを搭載した SoC の低消費電力化、高速化、小型化、低コスト化の実現に貢献した。

第 5 章では最先端ロジックプロセスに DRAM を混載したロジックベース混載 DRAM に対応した 250MHz のクロック 1 周期で動作する DRAM コアを研究した。タイミング信号伝送に前章で提案した ASM 方式を発展させた NET 方式を提案するとともにタイミング信号生成の遅延回路として PVT の小さな STC 方式を提案した。さらにこれに基づいて設計したテストデバイスでその効果を実証した。

- 1) 高速クロック 1 周期で動作する高速な DRAM コアを実現するためにはタイミング生成に用いる遅延回路の PVT ばらつき小さくすることが必須であり、250MHz 動作の場合では許容誤差は 24% 以内であること、更には従来の比較的 PVT ばらつきの小さな RC 遅延回路で実現可能な 36% より厳しい要求であることをシミュレーションにより明らかにした。この要求を満たす遅延回路としてセルフタイムタイミングコントロール (STC) 方式を提案した。STC 方式は PLL とほぼ同じ構成要素から成っており、PLL が入力クロックと同位相のクロックを出力するのに対して、STC 方式は PLL 内の VCO の制御電圧を出力し、このアナログ電圧によって遅延時間をコントロールする。この方式におけるタイミングばらつきはジッタで決まっており、シミュレーションでは 5.9% となった。この値は上記の許容誤差 24% 以内を満足するものである。
- 2) タイミング信号伝送方式として第 4 章で提案した ASM 方式を高速メモリ向けに改良したネガティブエッジ転送 (NET) 方式を提案した。NET 方式は、コア内のいずれの場所においても、クロックと制御信号やアドレス間のタイミングずれをほぼ一定にできるという ASM 方式のメリットを継承しつつ、高速クロックで課題となる t_R , t_F の PVT によるばらつきや制御信号のパルス消失という課題を解決した。
- 3) 低電力でデータ保持をすることを目的としてパワーダウンデータリテンション (PDDR) モードを提案した。PDDR モードではビット線の小振幅化と不要な周辺回路の電力カットを行う。PDDR モー

ド中のビット線の小振幅化の実現手段として、センスアンプのLレベルを一定にして、Hレベルを下げると、ノーマルモードへの復帰時のデータリカバリサイクルが必要になるので、復帰時間が長くなることを示した。この対策としてセンスアンプのプリチャージレベルをノーマルモードと同一とし、Lレベルをノーマルモードより高く、Hレベルはノーマルモードより低くすることが望ましいことを示した。あわせてこの場合の復帰時間が4 μ secであることを示した。更にPDDRモード中はシステムクロックも停止していることを前提に、STCの制御を検討した。STCの制御電圧をPLLにより制御するのではなく、一定電位の供給に切り替える構成とした。これによりSTC方式の、遅延時間のPVT依存性が小さいという特徴は生かせないが、PDDRモード中のサイクル時間は4 μ sec程度であるため、サイクル時間が長くなることのデメリットは顕在化しない。

- 4) 以上のSTC方式とNET方式の組み合わせによる高速化とPDDR方式による低消費電力の両立を実証するためのテストデバイスを0.13 μ m混載DRAMプロセスにて試作した。試作デバイスはクロック周波数312MHzでのランダムアクセス動作を確認し、当初目標の250MHz以上での動作を実現するとともに、データ保持電力はPDDRモードにて73 μ Wと従来の高性能プロセスを用いた場合より94%の低減が図れた。
- 5) 試作したテストデバイスでは一つのSTC送信モジュールで2個のDRAMコアと1個のSRAMコアの遅延調整を行っており、STC方式の特徴である、一つのSTC送信モジュールでチップ内の全領域での高精度タイミング調整が可能であるという特徴を実証的に確認することができた。

上記の結果により、本章での研究はシステムからの高機能化やSRAMの置換用途から来るデータ保持電力の低減の要求を満たし、混載DRAMの高性能化と低消費電力化に大きく貢献できることを確認した。

第6章ではTCAMの低消費電力化のためにマッチ線並びにサーチ線に対してチャージリサイクリングを適用することの研究を行った。PMOSで構成されるアレイをNMOSで構成されるアレイと混在させることで、これまでCAMにチャージリサイクリングを適用する上で障害となっていた課題が解決できることを示し、このアレイを動作させるためにメモセルの構成、マッチアンプの配置についての提案を行った。更にそれに基づいて設計したテストデバイスにてその有用性を実証した。

- 1) PMOSで構成されたアレイとNMOSで構成されたアレイを組み合わせることでチャージリサイクリングがTCAMのマッチ線へ適用することを提案した。これによる消費電力低減の効果が電源電圧を1/2にするのと同様に1/4となることを示した。この値はオンチップレギュレータ搭載等によって得られるものの更に1/2であることも示した。
- 2) マッチ線チャージリサイクリングを適用する場合のアレイ配置について検討し、PMOSアレイとNMOSアレイをチェッカーボード状に配置することを提案し、チェッカーボード状配置によりVDD,GND配線のインピーダンスを効果的に低減することができ、TCAMの動作マージン拡大に有効であることを示した。またチェッカーボード状配置により、サーチ線に対してもチャージリサイク

リングが適用でき、これによる消費電力の低減効果はサーチ線のネゲート時にチャージリサイクリングを適用することで $3/4$ に、さらにアサート時とネゲート時の両方に適用することで $1/2$ に低減できることを示した。

- 3) メモリセルの構成としてサーチ線に接続されるトランジスタ（サーチトランジスタ）の位置によってトップサーチ線セルとボトムサーチ線セルに分類し、マッチ線チャージリサイクリングにはトップサーチ線セルが適していることを示した。同時にトップサーチ線セルにはチャージシェアリング効果によるマッチ線電位の揺らぎが存在することを明らかにし、その解決策としてマッチ線のリセット完了までサーチ線をアサート状態のまま保持することが有効であることを示した。
- 4) チャージリサイクリング CAM を適用したマッチアンプの配置を検討した。ワード長ごとにマッチ線を配置する単純型の他に、マッチ線をワード長の半分に分断しそれぞれにマッチ線を配置するメイン / サブマッチアンプ方式、さらにそれをパイプライン動作させるパイプライン型メイン / サブマッチアンプ方式を提案した。要求される動作周波数と許容されるエリアペナルティによって選択可能であることを示した。
- 5) 以上の技術を実証するためのテストデバイスを $0.18\mu\text{m}$ プロセスにて試作した。消費電力の実測値 6.3fJ/bit/search を得た。これは通常型の TCAM の 52.5% であり、設計値の 50.0% にほぼ一致し、本構成が有効であることを示した。

以上の結果より本研究はメモリを演算器として用いる CAM において重要な低消費電力化に貢献できることを確認した。

混載メモリならびにメモリの演算器への応用デバイスに関する回路あるいはアーキテクチャ方面からの高速化、低消費電力化、高機能化を目的とした研究を行い、テストデバイスにてその工学的な実証を行った。この成果がこれらのデバイスの更なる発展に貢献できると確信する。

7.2 今後の展望

半導体応用製品の種類の拡大とそれを支える半導体の微細化の進展という構図は依然として継続している。スマートフォンやタブレットに代表されるパーソナルユースの携帯情報機器の発展が継続しているだけでなく、所謂 IoT (Internet of Things) つまりモノのインターネットへの接続の今後の急増が予想される。更には、グリーン化すなわち地球環境への考慮の要求も高まってきている。それらに対応して、半導体工業界は 22nm まで至ったプロセスの微細化と高速、低消費電力に代表される回路技術によって応えてきたというのが 2014 年現在の実情である。IoT は従来から言われているユビキタス化をさらに推し進めたものと考えることができ、今後様々な半導体応用機器に通信機能が付加され、さらにはこれまで半導体が搭載されていなかった機器にも通信機能を備えた半導体が搭載されるようになる。これまで通信インフラの無かった場所へ設置するとの要求から電力供給技術が脚光を浴びているが、高速化や低消費電力化技術に関しても重要度が増すことはあっても、低減することは無い。既存の機器であっても IoT 化によって扱うべき情報は増加する一方で、グリーン

化要求に応えるためには一層の低消費電力化が必要である。混載 DRAM 技術はその小型、高速、低消費電力の利点を生かして、まずは通信の基幹路に位置する機器への採用から始まり、更なる低消費電力化を経てエンドノード側に発展してゆく予測する。

計算機能を有する機能メモリについては単位電力当たりの処理能力は高いという利点があるが、汎用プロセッサに比べて柔軟性やプログラムの容易性が劣る。この点を考えると、よりエンドノードに近い機器への応用から始まり、更なる低消費電力化によりエンドノード側へ発展するとともに、アクセラレータ用途として基幹系方向へ展開され则认为。いずれにしても混載 DRAM ならびに計算機能を有する機能メモリが今後とも IoT 社会実現への基幹デバイスとして発展するものと確信する。

謝辞

本論文をまとめるにあたり、終始御懇切なる御指導と御鞭撻を賜った金沢大学大学院自然科学研究科電子情報科学専攻 松田吉雄教授に心より御礼申し上げます。

本論文の作成にあたり御懇篤なる御教示をいただいた金沢大学大学院自然科学研究科電子情報科学専攻 山根智教授、北川章夫教授、秋田純一教授、深山正幸講師に厚く御礼申し上げます。

また、本研究の遂行にあたり、三菱電機株式会社、株式会社ルネサステクノロジ、ルネサスエレクトロニクス株式会社において終始懇切なる御教示と御鞭撻、さらには研究の機会を与えて頂いた、吉原務博士、藤島一康博士、熊野谷正樹博士、村松菊男博士、有本和民博士に心より感謝の意を表します。

本研究において数々の提案や御討論を頂いたルネサスエレクトロニクス株式会社 阿部英明氏、山崎彰氏、渡邊直也氏、森下玄博士、金沢大学大学院自然科学研究科電子情報科学専攻（現三菱電機株式会社）小川大佑氏、金沢大学大学院自然科学研究科電子情報科学専攻（現 株式会社デンソー）楠本崇人氏に心より感謝の意を表します。

本研究に当たり三菱電機株式会社、株式会社ルネサステクノロジ、ルネサスエレクトロニクス株式会社において試作デバイスの設計、試作、解析にご協力いただいた小川俊之氏、大谷順氏、林勇氏、松岡秀人氏、行天隆幸氏、黒岩政行氏、高橋和裕氏、重田邦安氏、新納充貴氏、岡本真子氏、和気節雄氏、添田真也氏、蜂須賀敦司氏、新川田裕樹氏、天羽生淳氏、笠岡竜雄氏に心よりの感謝の意を表します。

末筆ながら、本研究の期間中に終始有益な御討論と御協力を頂いた三菱電機株式会社、株式会社ルネサステクノロジ、ルネサスエレクトロニクス株式会社、金沢大学大学院自然科学研究科電子情報科学専攻の各位に心より感謝致します。

研究業績目録

1. 論文（査読あり）

- 1) Y. Konishi, M. Kumanoya, H. Yamasaki, K. Dosaka, and T. Yoshihara, "Analysis of Coupling Noise Between Adjacent Bit Lines in Megabit DRAM's," IEEE Journal of Solid-State Circuits, vol. 24, no. 1, pp. 35-42, Feb. 1989.
- 2) Y. Konishi, K. Dosaka, T. Komatsu, Y. Inoue, M. Kumanoya, Y. Tobita, H. Genjyo, M. Nagatomo, and T. Yoshihara, "A 38-ns 4-Mb DRAM with a Battery-Backup (BBU) Mode," IEEE Journal of Solid-State Circuits, vol. 25, no. 5, pp. 1112-1117, Oct. 1990.
- 3) K. Dosaka, Y. Konishi, K. Hayano, K. Himukashi, A. Yamazaki, H. Iwamoto, M. Kumanoya, H. Hamano, and T. Yoshihara, "A 100-MHz 4-Mb Cache DRAM with Fast Copy-Back Scheme," IEEE Journal of Solid-State Circuits, vol. 27, no. 11, pp. 1534-1539, Nov. 1992.
- 4) K. Dosaka, A. Yamazaki, N. Watanabe, H. Abe, J. Ohtani, T. Ogawa, K. Ishihara, and M. Kumanoya, "A 90-MHz 16-Mb System Integrated Memory with Direct Interface to CPU," IEEE Journal of Solid-State Circuits, vol. 31, no. 4, pp. 537-545, Apr. 1996
- 5) M. Kumanoya, T. Ogawa, Y. Konishi, K. Dosaka, and K. Shimotori, "Trends in High-Speed DRAM Architectures," IEICE Transactions on Electronics, vol. E79-C no.4 pp. 472-481, Apr. 1996.
- 6) T. Yamauchi, M. Kinoshita, T. Amano, K. Dosaka, K. Arimoto, H. Ozaki, M. Yamada, and T. Yoshihara, "Design Methodology of Embedded DRAM with Virtual-Socket Architecture," IEEE Journal of Solid-State Circuits, vol. 36, no. 1, pp. 46-54, Jan. 2001.
- 7) A. Yamazaki, T. Fujino, K. Inoue, I. Hayashi, H. Noda, N. Watanabe, F. Morishita, K. Dosaka, Y. Morooka, S. Soeda, K. Arimoto, S. Wake, K. Fujishima, and H. Ozaki, "A 0.18 μ m 32 Mb Embedded DRAM Macro for 3-D Graphics Controller," IEICE Transactions on Electronics, vol. E85-C no. 9 pp. 1697-1708, Sep. 2002.
- 8) Y. Nagura, Y. Fujiwara, K. Furue, R. Ohmura, T. Komoike, T. okitaka, T. Tanizaki, K. Dosaka, K. Arimoto, Y. Koda, and T. Tada, "Accomplishment of At-Speed BISR for Embedded DRAMs," Transactions on Information and Systems, vol. E85-D no. 10 pp. 1498-1505, Oct. 2002.
- 9) N. Watanabe, F. Morishita, Y. Taito, A. Yamazaki, T. Tanizaki, K. Dosaka, Y. Morooka, F. Igaue, K. Furue, Y. Nagura, T. Komoike, T. Morihara, A. Hachisuka, K. Arimoto, and H. Ozaki, "An Embedded DRAM Hybrid Macro with Auto Signal Management and Enhanced-on-Chip Tester," IEICE Transactions on Electronics, vol. E86-C no. 4 pp. 624-634, Nov. 2003.
- 10) F. Morishita, I. Hayashi, H. Matsuoka, K. Takahashi, K. Shigeta, T. Gyohten, M. Niino,

- H. Noda, M. Okamoto, A. Hachisuka, A. Amo, H. Shinkawata, T. Kasaoka, K. Dosaka, K. Arimoto, K. Fujishima, K. Anami, and T. Yoshihara, "A 312-MHz 16-Mb Random-Cycle Embedded DRAM Macro With a Power-Down Data Retention Mode for Mobile Applications," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 204–212, Jan. 2005.
- 11) H. Noda, K. Inoue, M. Kuroiwa, F. Igaue, K. Yamamoto, H. Mattausch, T. Koide, A. Amo, A. Hachisuka, S. Soeda, I. Hayashi, F. Morishita, K. Dosaka, K. Arimoto, K. Fujishima, K. Anami, and T. Yoshihara, "A Cost-Efficient High-Performance Dynamic TCAM With Pipelined Hierarchical Searching and Shift Redundancy Architecture," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 245–253, Jan. 2005.
 - 12) H. Noda, K. Inoue, H. J. Mattausch, T. Koide, K. Dosaka, K. Arimoto, K. Fujishima, K. Anami, and T. Yoshihara, "Embedded Low-Power Dynamic TCAM Architecture with Transparently Scheduled Refresh," *IEICE Transactions on Electronics*, vol. E88-C no. 4 pp. 622–629, Apr. 2005.
 - 13) A. Yamazaki, F. Morishita, N. Watanabe, T. Amano, M. Haraguchi, H. Noda, A. Hachisuka, K. Dosaka, K. Arimoto, S. Wake, H. Ozaki, and T. Yoshihara, "A Study of Sense-Voltage Margins in Low-Voltage-Operating Embedded DRAM Macros," *IEICE Transactions on Electronics*, Vol. E88-C No. 10 pp. 2020–2027, Oct. 2005.
 - 14) M. Iida, N. Kuroda, H. Otsuka, M. Hirose, Y. Yamasaki, K. Ohta, K. Shimakawa, T. Nakabayashi, H. Yamauchi, T. Sano, T. Gyohten, M. Maruta, A. Yamazaki, F. Morishita, K. Dosaka, M. Takeuchi, and K. Arimoto, "A 322 MHz Random-Cycle Embedded DRAM With High-Accuracy Sensing and Tuning," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 11, pp. 2296–2304, Nov. 2005.
 - 15) T. Gyohten, F. Morishita, I. Hayashi, M. Okamoto, H. Noda, K. Dosaka, K. Arimoto, and Y. Horiba, "An On-Chip Supply-Voltage Control System Considering PVT Variations for Worst-Caseless Lower Voltage SoC Design," *IEICE Transactions on Electronics*, vol. E89-C no. 11 pp. 1519–1525, Nov. 2006.
 - 16) H. Noda, K. Dosaka, H. J. Mattausch, T. Koide, F. Morishita, and K. Arimoto, "A Reliability-Enhanced TCAM Architecture with Associated Embedded DRAM and ECC," *IEICE Transactions on Electronics*, vol. E89-C no. 11 pp. 1612–1619, Nov. 2006.
 - 17) H. Noda, M. Nakajima, K. Dosaka, K. Nakata, M. Higashida, O. Yamamoto, K. Mizumoto, T. Tanizaki, T. Gyohten, Y. Okuno, H. Kondo, Y. Shimazu, K. Arimoto, K. Saito, and T. Shimizu, "The Design and Implementation of the Massively Parallel Processor Based on the Matrix Architecture," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 1, pp. 183–192, Jan. 2007.

- 18) T. Kumaki, Y. Kuroda, M. Ishizaki, T. Koide, H. J. Mattausch, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Real-Time Huffman Encoder with Pipelined CAM-Based Data Path and Code-Word-Table Optimizer," *Transactions on Information and Systems*, vol. E90-D no. 1 pp. 334-345, Jan. 2007.
- 19) H. Noda, T. Tanizaki, T. Gyohten, K. Dosaka, M. Nakajima, K. Mizumoto, K. Yoshida, T. Iwao, T. Nishijima, Y. Okuno, and K. Arimoto, "The Circuits and Robust Design Methodology of the Massively Parallel Processor Based on the Matrix Architecture," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 4, pp. 804-812, Apr. 2007.
- 20) F. Morishita, I. Hayashi, T. Gyohten, H. Noda, T. Ipposhi, H. Shimano, K. Dosaka, and K. Arimoto, "A Configurable Enhanced TTRAM Macro for System-Level Power Management Unified Memory," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 4, pp. 853-861, Apr. 2007.
- 21) F. Morishita, H. Noda, I. Hayashi, T. Gyohten, M. Okamoto, T. Ipposhi, S. Maegawa, K. Dosaka, and K. Arimoto, "A Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI," *IEICE Transactions on Electronics*, vol. E90-C no. 4 pp. 765-771, Apr. 2007.
- 22) H. Shimano, F. Morishita, K. Dosaka, and K. Arimoto, "A Voltage Scalable Advanced DFM RAM with Accelerated Screening for Low Power SoC Platform," *IEICE Transactions on Electronics*, vol. E90-C no. 10 pp. 1927-1935, Oct. 2007.
- 23) K. Arimoto, F. Morishita, I. Hayashi, K. Dosaka, H. Shimano, and T. Ipposhi, "A High-Density Scalable Twin Transistor RAM (TTRAM) With Verify Control for SOI Platform Memory IPs," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 11, pp. 2611-2619, Nov. 2007.
- 24) T. Kumaki, M. Ishizaki, T. Koide, H. J. Mattausch, Y. Kuroda, T. Gyohten, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Integration Architecture of Content Addressable Memory and Massive-Parallel Memory-Embedded SIMD Matrix for Versatile Multimedia Processor," *IEICE Transactions on Electronics*, vol. E91-C no. 9 pp. 1409-1418, Sep. 2008.
- 25) H. Shimano, F. Morishita, K. Dosaka, and K. Arimoto, "On-Chip Memory Power-Cut Scheme Suitable for Low Power SoC Platform," *IEICE Transactions on Electronics*, vol. E92-C no.3 pp. 356-363, Mar. 2009.
- 26) K. Dosaka, D. Ogawa, T. Kusumoto, M. Miyama, and Y. Matsuda, "A Complete Charge Recycling TCAM with Checkerboard Array Arrangement for Low Power Applications," *IEICE Transactions on Electronics*, vol. E93-C no. 5 pp. 685-695, May 2010.

- 27) I. Hayashi, T. Amano, N. Watanabe, Y. Yano, Y. Kuroda, M. Shirata, K. Dosaka, K. Nii, H. Noda, and H. Kawai, "A 250-MHz 18-Mb Full Ternary CAM With Low-Voltage Matchline Sensing Scheme in 65-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 11, pp. 2671–2680, Nov. 2013.

2. 国際学会発表（査読あり）

- 1) Y. Konishi, K. Dosaka, T. Komatsu, Y. Ionue, M. Kumanoya, Y. Tobita, H. Genjyo, M. Nagatomo, and T. Yoshihara, "A 38 ns 4 Mb DRAM with a Battery Back-up (BBU) Mode," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 230-231, Feb. 1990.
- 2) K. Dosaka, Y. Konishi, K. Hayano, K. Himukashi, A. Yamazaki, C. Hart, M. Kumanoya, H. Hamano, and T. Yoshihara, "A 100 MHz 4 Mb Cache DRAM with Fast Copy-Back Scheme," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 148-149, Feb. 1992.
- 3) A. Yamazaki, K. Dosaka, T. Ogawa, M. Kuroiwa, H. Fukuda, G. Johnson, and M. Kumanoya, "A Concurrent Operating CDRAM for Low Cost Multi-Media," Digest of Technical Papers. Symposium on VLSI Circuits, pp. 61- 62, May 1993.
- 4) K. Dosaka, A. Yamazaki, N. Watanabe, H. Abe, T. Ogawa, K. Ishihara, M. Kumanoya, "A 90 MHz 16 Mbit System Integrated Memory with Direct Interface to CPU," Digest of Technical Papers. Symposium on VLSI Circuits, pp.19-20, June 1995.
- 5) T. Shimizu, J. Korematu, M. Satou, H. Kondo, S. Iwata, K. Sawai, N. Okumura, K. Ishimi, Y. Nakamoto, M. Kumanoya, K. Dosaka, A. Yamazaki, Y. Ajioka, H. Tsubota, Y. Nunomura, T. Urabe, J. Hinata, and K. Saitoh, "A Multimedia 32 b RISC Microprocessor with 16 Mb DRAM," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 216-217, Feb. 1996.
- 6) S. Iwata, T. Shimizu, J. Korematu, K. Dosaka, H. Tsubota, and K. Saitoh, "Performance Evaluation of a Microprocessor with On-chip DRAM and High Bandwidth Internal Bus," Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 269-272, May 1996.
- 7) A. Yamazaki, N. Okumura, K. Dosaka, and M. Kumanoya, "A fully Synchronous Circuit design for embedded DRAM," Proceedings of the European Solid-State Circuits Conference, pp.380-383, Sep. 1996.
- 8) A. Yamazaki, T. Fujino, K. Inoue, I. Hayashi, H. Noda, N. Watanabe, F. Morishita, J. Ootani, M. Kobayashi, K. Dosaka, Y. Morooka, H. Shimano, S. Soeda, A. Hachisuka, Y. Okumura, K. Arimoto, S. Wake, and H. Ozaki, "A 56.8 GB/s 0.18 μ m Embedded DRAM Macro with Dual Port Sense Amplifier for 3D Graphics Controller," Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 394-395, Feb. 2000.
- 9) M. Kinoshita, T. Yamauchi, T. Amano, K. Dosaka, and K. Arimoto, "Design methodology of the embedded DRAM with the virtual socket architecture," Proceedings of the IEEE Custom

Integrated Circuits Conference, pp. 271–274, May 2000.

- 10) N. Watanabe, F. Morishita, Y. Taito, A. Yamazaki, T. Tanizaki, K. Dosaka, Y. Morooka, F. Igaue, K. Furue, Y. Nagura, T. Komoike, T. Morihara, A. Hachisuka, K. Arimoto, and H. Ozaki, “An Embedded DRAM Hybrid Macro with Auto Signal Management and Enhanced-on-Chip Tester,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp.388–389, Feb. 2001.
- 11) Y. Nagura, M. Mullins, A. Sauvageau, Y. Fujiwara, K. Furue, R. Ohmura, T. Komoike, T. Okitaka, T. Tanizaki, K. Dosaka, K. Arimoto, Y. Koda, and T. Tada, “Test cost reduction by at-speed BISR for embedded DRAMs,” Proceedings of the International Test Conference, pp. 182–187, Nov. 2001.
- 12) F. Morishita, I. Hayashi, H. Matsuoka, K. Takahashi, K. Shigeta, T. Gyohten, M. Niino, M. Okamoto, A. Hachisuka, A. Amo, H. Shinkawata, T. Kasaoka, K. Dosaka, and K. Arimoto, “A 312MHz 16Mb Random-Cycle Embedded DRAM Macro with 73 μ W Power-Down Mode for Mobile Applications,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 202–203, Feb. 2004.
- 13) H. Noda, K. Inoue, M. Kuroiwa, A. Amo, A. Hachisuka, H. Mattausch, T. Koide, S. Soeda, K. Dosaka, and K. Arimoto, “A 143MHz 1.1W 4.5Mb Dynamic TCAM with Hierarchical Searching and Shift Redundancy Architecture,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 208–523, Feb. 2004.
- 14) M. Iida, N. Kuroda, H. Otsuka, M. Hirose, Y. Yamasaki, K. Ohta, K. Shimakawa, T. Nakabayashi, H. Yamauchi, T. Sano, T. Gyohten, M. Maruta, A. Yamazaki, F. Morishita, K. Dosaka, M. Takeuchi, and K. Arimoto, “A 322MHz Random-Cycle Embedded DRAM with High-Accuracy Sensing and Tuning,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 460–610, Feb. 2005.
- 15) T. Kumaki, Y. Kuroda, T. Koide, H. J. Mattausch, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, “CAM-based VLSI Architecture for Huffman Coding with Real-time Optimization of the Code Word Table,” Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 5202– 5205 Vol. 5, May 2005.
- 16) T. Kumaki, Y. Kuroda, T. Koide, H. J. Mattausch, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, “Multi-Port CAM based VLSI Architecture for Huffman Coding with Real-time Optimized Code Word Table,” Proceedings of the Midwest Symposium on Circuits and Systems, pp. 55– 58 , Aug. 2005.
- 17) F. Morishita, H. Noda, T. Gyohten, M. Okamoto, T. Ipposhi, S. Maegawa, K. Dosaka, and K. Arimoto, “A Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI,”

- Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 435– 438, Sep. 2005
- 18) H. Noda, K. Dosaka, F. Morishita, and K. Arimoto, “A Soft-Error-Immune Maintenance-Free TCAM Architecture with Associated Embedded DRAM,” Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 451– 454, Sep. 2005.
 - 19) T. Gyohten, F. Morishita, M. Okamoto, K. Dosaka, and K. Arimoto, “An On-chip PVT Control System for Worst-caseless Lower Voltage SoC Design,” Proceedings of the Asian Solid-State Circuits Conference, pp. 313–316, Nov. 2005.
 - 20) M. Nakajima, H. Noda, K. Dosaka, K. Nakata, M. Higashida, O. Yamamoto, K. Mizumoto, H. Kondo, Y. Shimazu, K. Arimoto, K. Saitoh, and T. Shimizu, “A 40GOPS 250mW Massively Parallel Processor Based on Matrix Architecture,” Digest of Technical Papers. IEEE International Solid-State Circuits Conference, pp. 1616–1625, Feb. 2006.
 - 21) H. Noda, T. Tanizaki, T. Gyohten, K. Dosaka, M. Nakajima, K. Mizumoto, K. Yoshida, T. Iwao, T. Nishijima, Y. Okuno, and K. Arimoto, “The Circuits and Robust Design Methodology of the Massively Parallel Processor Based on the Matrix Architecture,” Digest of Technical Papers. Symposium on VLSI Circuits, pp. 210–211, May 2006.
 - 22) K. Arimoto, F. Morishita, I. Hayashi, I. Gyohten, H. Noda, T. Ipposhi, and K. Dosaka, “A Configurable Enhanced T2RAM Macro for System-Level Power Management Unified Memory,” Digest of Technical Papers. Symposium on VLSI Circuits, pp.182–183, May 2006.
 - 23) K. Arimoto, F. Morishita, I. Hayashi, T. Tanizaki, T. Ipposhi, and K. Dosaka, “A Scalable ET2RAM (SETRAM) with Verify Control for SoC Platform Memory IP on SOI,” Proceedings of the IEEE Custom Integrated Circuits Conference, pp. 429–432, Sep. 2006.
 - 24) L. Okamura, F. Morishita, K. Dosaka, K. Arimoto, and T. Yoshihara, “An Automatic Source/Body Level Controllable 0.5V level SOI Circuit Technique for Mobile and Wireless Network Applications,” Proceedings of the International Symposium on Communications and Information Technologies, pp. 771–774, Oct. 2006.
 - 25) H. Shimano, F. Morishita, K. Dosaka, and K. Arimoto, “A voltage scalable advanced DFM RAM with accelerated screening for low power SoC platform,” Proceedings of the IEEE Asian Solid-State Circuits Conference, pp. 327–330, Nov. 2006.
 - 26) M. Ishizaki, T. Kumaki, Y. Kouno, T. Koide, H. J. Mattausch, Y. Kuroda, T. Gyoten, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, “Huffman Encoding Architecture with Self-Optimizing Performance and Multiple CAM-Match Utilization,” Proceedings of the IEEE Region 10 Conference TENCON, pp. 1–4, Nov. 2006.
 - 27) T. Kumaki, T. Koide, H. Mattausch, Y. Kuroda, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, “Efficient Vertical/Horizontal-Space 1D-DCT Processing Based on Massive-Parallel

- Matrix-Processing Engine,” Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 525–528, May 2007.
- 28) L. Okamura, F. Morishita, K. Dosaka, K. Arimoto, and T. Yoshihara, “Self-Compensating Power Supply Circuit for Low Voltage SOL,” Proceedings of the International Conference on Communications, Circuits and Systems, pp. 1039–1043, Jul. 2007.
- 29) T. Kumaki, Y. Kono, M. Ishizaki, M. Tagami, T. Koide, H. Mattausch, T. Gyohten, H. Noda, Y. Kuroda, K. Dosaka, K. Arimoto, and K. Saito, “CAM Enhanced Super Parallel SIMD Processor with High-Speed Pattern Matching Capability,” Proceedings of the Midwest Symposium on Circuits and Systems, pp.803–806, Aug. 2007.
- 30) T. Kusumoto, D. Ogawa, K. Dosaka, M. Miyama, and Y. Matsuda, “A Charge Recycling TCAM with Checkerboard Array Arrangement for Low Power Applications,” Proceedings of the IEEE Asian Solid-State Circuits Conference, pp.253–256, Nov. 2008.
- 31) I. Hayashi, T. Amano, N. Watanabe, Y. Yano, Y. Kuroda, M. Shirata, S. Morizane, K. Hayano, K. Dosaka, K. Nii, H. Noda, and H. Kawai, “A 250-MHz 18-Mb Full Ternary CAM with Low Voltage Match Line Sense Amplifier in 65nm CMOS,” Proceedings of the Asian Solid-State Circuits Conference, pp. 66–68, Nov. 2012.

3. 研究会、学会発表等（査読なし）

- 1) 山崎 彰, 堂阪 勝己, 小川 俊行, 熊野谷 正樹, 「画像用キャッシュ DRAM」, 電子情報通信学会技術研究報告・集積回路 93 (287), 9-14, 1993 年 10 月.
- 2) 渡邊 直也, 堂阪 勝己, 山崎 彰, 阿部 英明, 大谷 順, 小川 俊之, 石原 和典, 熊野谷 正樹, 「CPU 直結型コントローラ内蔵 16M CDRAM」, 電子情報通信学会技術研究報告・シリコン材料・デバイス 95 (379), 17-23, 1995 年 11 月.
- 3) 渡邊 直也, 大谷 順, 阿部 英明, 山崎 彰, 堂阪 勝己, 熊野谷 正樹, 「コントローラ内蔵 CDRAM の開発 [1]: リフレッシュ制御方式」, 電子情報通信学会総合大会講演論文集 1996 (2), 213, 1996 年 3 月.
- 4) 大谷 順, 渡邊 直也, 阿部 英明, 山崎 彰, 堂阪 勝己, 熊野谷 正樹, 「コントローラ内蔵 CDRAM の開発 [2]: アクティブプルアップ制御方式」, 電子情報通信学会総合大会講演論文集 1996 (2), 214, 1996 年 3 月.
- 5) 奥村 直人, 澤井 克典, 岩田 俊一, 佐藤 貢, 那須 隆, 布村 康浩, 橘高 義明, 平野 浩爾, 山崎 彰, 堂阪 勝己, 「16M ビット DRAM 内蔵 32 ビットマイクロプロセッサ」, 電子情報通信学会技術研究報告・集積回路 96 (20), 49-55, 1996 年 4 月.
- 6) 原口 大, 山内 忠昭, 堂阪 勝己, 有本 和民, 「同期設計手法を用いたメモリに適した内部クロック発生回路」, 電子情報通信学会総合大会講演論文集 1999 (2), 174, 1999 年 03 月.
- 7) 堂阪 勝己, 有本 和民, 「DRAM 混載システム LSI の現状と今後の動向」, 電子情報通信学会技術研究報告・集積回路 99 (93), 47-54, 1999 年 5 月.
- 8) 堂阪 勝己, 「高速・低消費電力システム LSI のメモリ回路技術」, 電子情報通信学会技術研究報告・集積回路 102 (274), 53-58, 2002 年 8 月.
- 9) 野田 英行, 井上 一成, Mattausch Hans Jiirgen, 小出 哲士, 堂阪 勝己, 有本 和民, 「相補型プレーナキャパシタを用いた 130nm CMOS ダイナミック型 Ternary CAM」, 電子情報通信学会技術研究報告・集積回路 103 (382), 77-82, 2003 年 10 月.
- 10) 伊賀上 太, 野田 英行, 井上 一成, 黒岩 政行, 天羽生 淳, 蜂須賀 敦, Mattausch Hans Jurgan, 小出 哲士, 添田 真也, 堂阪 勝己, 有本 和民, 「パイプライン階層検索とシフト冗長技術を用いた 4.5Mb ダイナミック TCAM の開発」, 電子情報通信学会技術研究報告・集積回路 104 (24), 7-12, 2004 年 4 月.
- 11) 行天 隆幸, 森下 玄, 林 勇, 松岡 秀人, 高橋 和裕, 重田 邦安, 新納 充貴, 岡本 真子, 蜂須賀 敦司, 天羽生 淳, 新川田 裕樹, 笠岡 竜雄, 堂阪 勝己, 有本 和民, 「低消費データ保持モードを搭載したモバイル用途向け 16Mbit 混載 DRAM コア」, 電子情報通信学会技術研究報告・集積回路 104 (24), 13-18, 2004 年 4 月.
- 12) 行天 隆幸, 森下 玄, 野田 英行, 岡本 真子, 一法師 隆志, 前川 繁登, 堂阪 勝己, 有本 和民, 「SOI を用いたキャパシタレス・ツイントランジスタ RAM (TTRAM)」, 電子情報通信学会技

術研究報告．集積回路 105 (351), 107-112, 2005 年 10 月．

- 13) 行天 隆幸, 森下 玄, 岡本 真子, 堂阪 勝己, 有本 和民, 「ワースト条件をなくした低電圧 SoC 向けオンチップ PVT 制御システムの提案」, 電子情報通信学会技術研究報告．集積回路 105 (647), 61-66, 2006 年 3 月．
- 14) 谷崎 哲志, 行天 隆幸, 野田 英行, 中島 雅美, 水本 勝也, 堂阪 勝己, 「マトリックス型超並列 SIMD プロセッサのためのデータ変換バスブリッジの開発」, 電子情報通信学会技術研究報告．集積回路 106 (207), 1-6, 2006 年 8 月．
- 15) 幸野 豊, 熊木 武志, 石崎 雅勝, 田上 正治, 小出 哲士, マタウシュ ハンス ユルゲン, 行天 隆幸, 野田 英行, 黒田 泰斗, 堂阪 勝己, 有本 和民, 齊藤 和則, 「CAM による高速パターンマッチング機能を有する超並列 SIMD プロセッサ」, 電子情報通信学会技術研究報告．集積回路 106 (316), 39-44, 2006 年 10 月．
- 16) 石崎 雅勝, 熊木 武志, 幸野 豊, 田上 正治, 小出 哲士, ユルゲン マタウシュ ハンス, 黒田 泰人, 行天 隆幸, 野田 英行, 堂阪 勝己, 有本 和民, 齊藤 和則, 「マルチプル CAM マッチとアダプティブテーブル最適化を利用するリアルタイムハフマン符号化アーキテクチャ」, 電子情報通信学会技術研究報告．集積回路 106 (425), 125-130, 2006 年 12 月．
- 17) 田上 正治, 熊木 武志, 幸野 豊, 石崎 雅勝, 小出 哲士, マタウシュ ハンス ユルゲン, 行天 隆幸, 野田 英行, 堂阪 勝己, 有本 和民, 齊藤 和則, 「超並列 SIMD プロセッサによる暗号化 (AES) 処理の一手法」, 電子情報通信学会総合大会講演論文集 2007 (2), 88, 2007 年 3 月．
- 18) 小川 大佑, 堂阪 勝己, 深山 正幸, 有本 和民, 松田 吉雄, 「3 値 CAM セルのプルダウントランジスタの構成に関する検討」, 電子情報通信学会総合大会講演論文集 2007 (2), 119, 2007 年 3 月．
- 19) 熊木 武志, 石崎 雅勝, 田上 正治, 小出 哲士, マタウシュ ハンス ユルゲン, 行天 隆幸, 野田 英行, 黒田 泰斗, 堂阪 勝己, 有本 和民, 齊藤 和則, 「CAM を有する超並列 SIMD 型演算プロセッサによる効果的なマルチメディアデータ処理について」, 電子情報通信学会技術研究報告．コンピュータシステム 107 (276), 19-24, 2007 年 10 月．